

Číslicové systémy a jazyk VHDL

Pavol Galajda, KEMT, FEI, TUKE

Pavol.Galajda@tuke.sk

4 Architektúry a typy číslicových obvodov CPLD

- 4.1 Lattice pLSI a ispLSI
- 4.2 MAX 3000 a 7000 CPLD (Multiple Array matrix, Altera)
- 4.3 Xilinx XC 7000

4 Architektúry a typy číslicových obvodov CPLD

Obvody CPLD sú v podstate rovnaké ako SPLD obvody, ale rozdiel ako aj výhoda CPLD obvodov spočíva vo vyššej logickej kapacite CPLD obvodov a ich dokonalejšej štruktúre.

Tieto obvody sú typické tým, že obsahujú desať až niekoľko sto makrobuniek. Osem až šestnásť vzájomne prepojených makrobuniek je spojených do vyšších funkčných blokov (LAB). Funkčné bloky sú tiež vzájomne prepojené prostredníctvom programovateľnej prepojovacej matice, ale nie všetky CPLD obvody majú navzájom prepojené všetky funkčné bloky – záleží to od špecifikácie výrobcu a rodiny obvodov.

CPLD sa môžu vyrábať jednou z týchto troch technológií: EPROM, EEPROM alebo FLASH. Niektoré z CPLD rodín, ktoré využívajú EEPROM alebo FLASH sa navrhujú tak, aby boli programované v systéme (In- System Programmable - isp), čo znamená, že obvod môže byť programovaný na doske plošného spoja spoločne s inými súčiastkami.

4 Architektúry a typy číslicových obvodov CPLD

Hlavný komerčný výrobcovia sú uvedený v Tab.

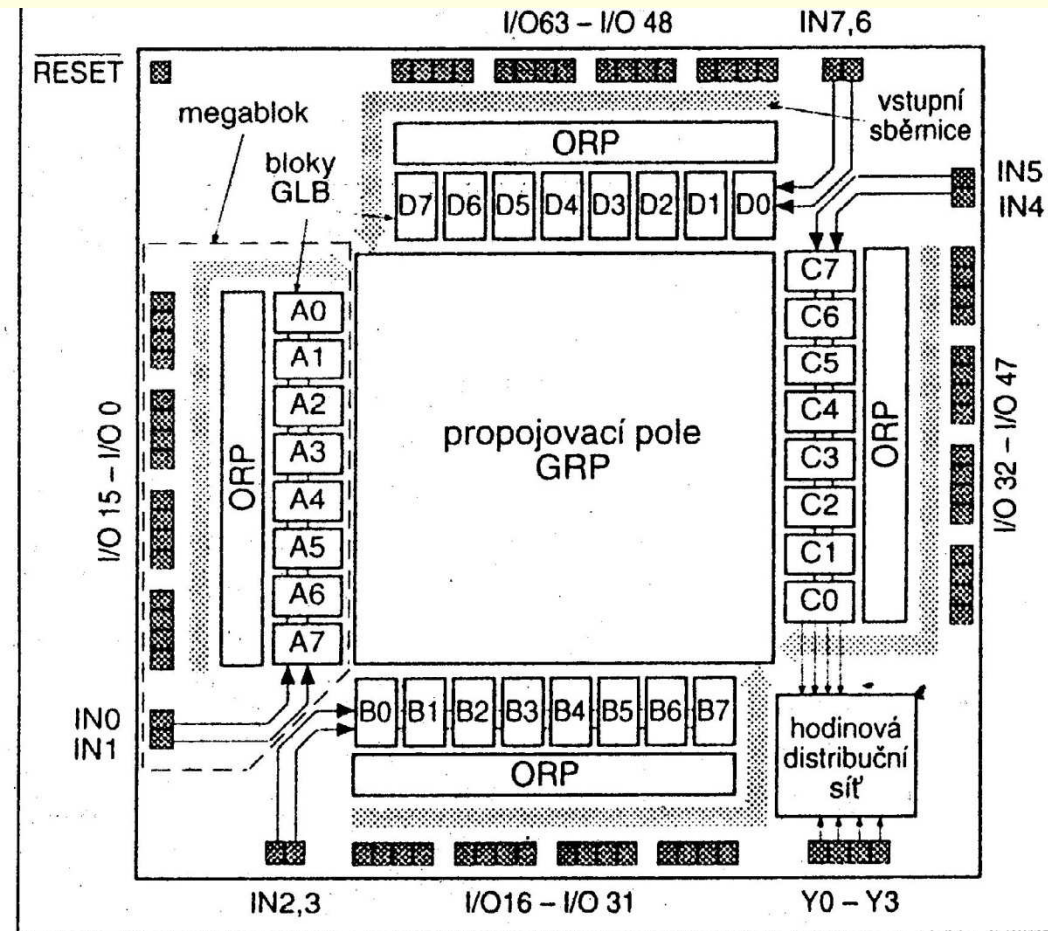
Manufacturer	CPLD Products	WWW Locator
Altera	MAX 3000, 7000, and 9000, and MAX II	http://www.altera.com
Atmel	ATF	http://www.atmel.com
Cypress	Delta39K, FLASH370, Ultra37000	http://www.cypress.com
Lattice	ispLSI, ispMACH	http://www.latticesemi.com
Xilinx	XC9500, CoolRunner	http://www.xilinx.com

4.1 Lattice pLSI a ispLSI

- programmable Large Scale Integration (pLSI)
- ispLSI (in- system- programovateľných priamo v aplikácií)
- technológia EECMOS

Vlastnosti:

- vysoká rýchlosť,
- predvídateľné oneskorenie,
- nízka spotreba,
- flexibilná architektúra,
- Jednoduché použitie.



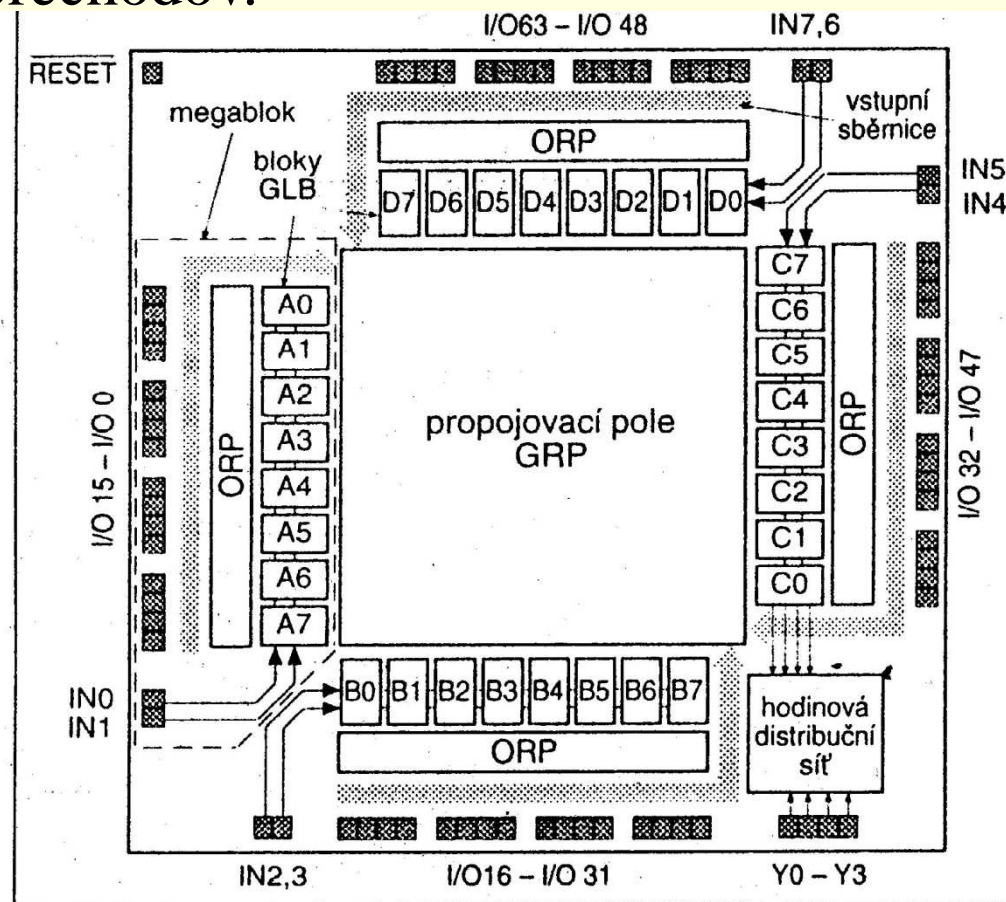
4.1 Lattice pLSI a ispLSI

Global Routing Pool (GRP)

- prepája celú internú logiku a sprístupňuje ju užívateľovi,
- umožňuje kompletne prepojenie s pevne definovaným a odhadnuteľným oneskorením prechodov.

I/O bunky

- sú priamo pripojené k V/V vývodom,
- každá môže byť individuálne naprogramovaná ako:
 - kombinačný vstup,
 - kombinačný výstup,
 - obojsmerný V/V- trojst.
- úroveň signálu kompatibilné s TTL.

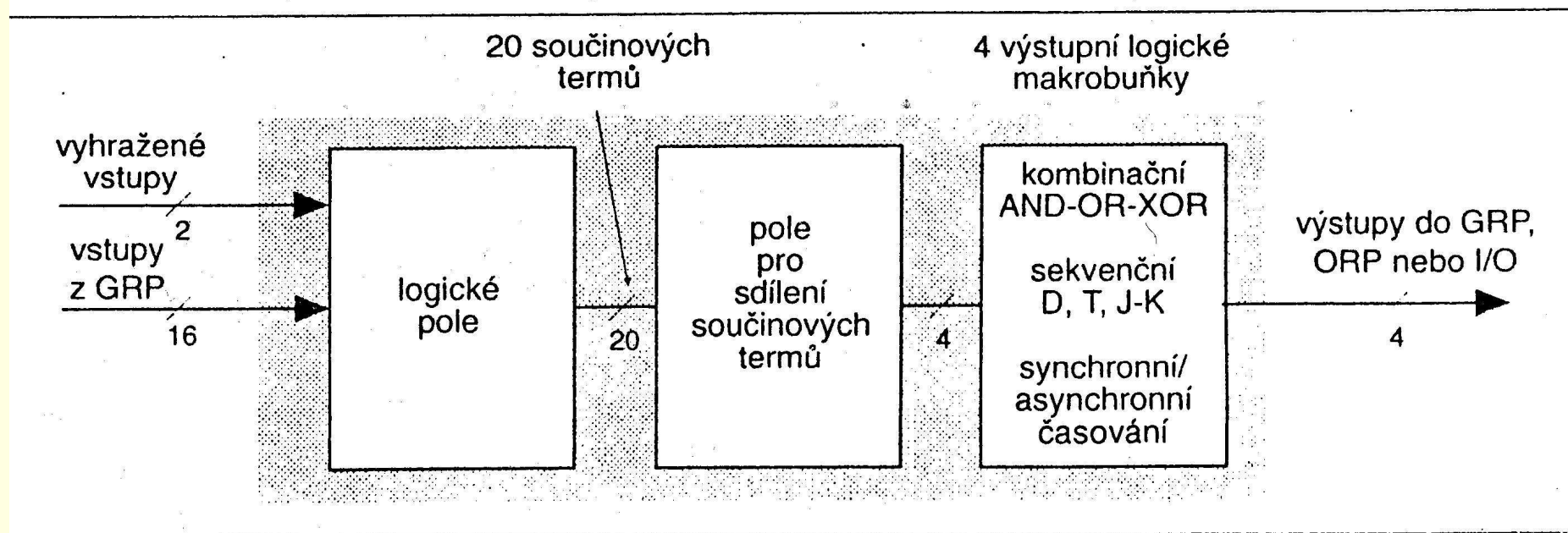


4.1 Lattice pLSI a ispLSI

Generic Logic Block (GLB)

-hlavný logický blok štruktúry pLSI/ ispLSI. Na Obr. je príklad rodiny 1000 a 2000 s logickými blokmi s 18 vstupmi a 4 výstupmi (všetky vedené do prepojujacieho poľa GRP tak, aby mohli byť použité ako vstupy iných blokov GLB).

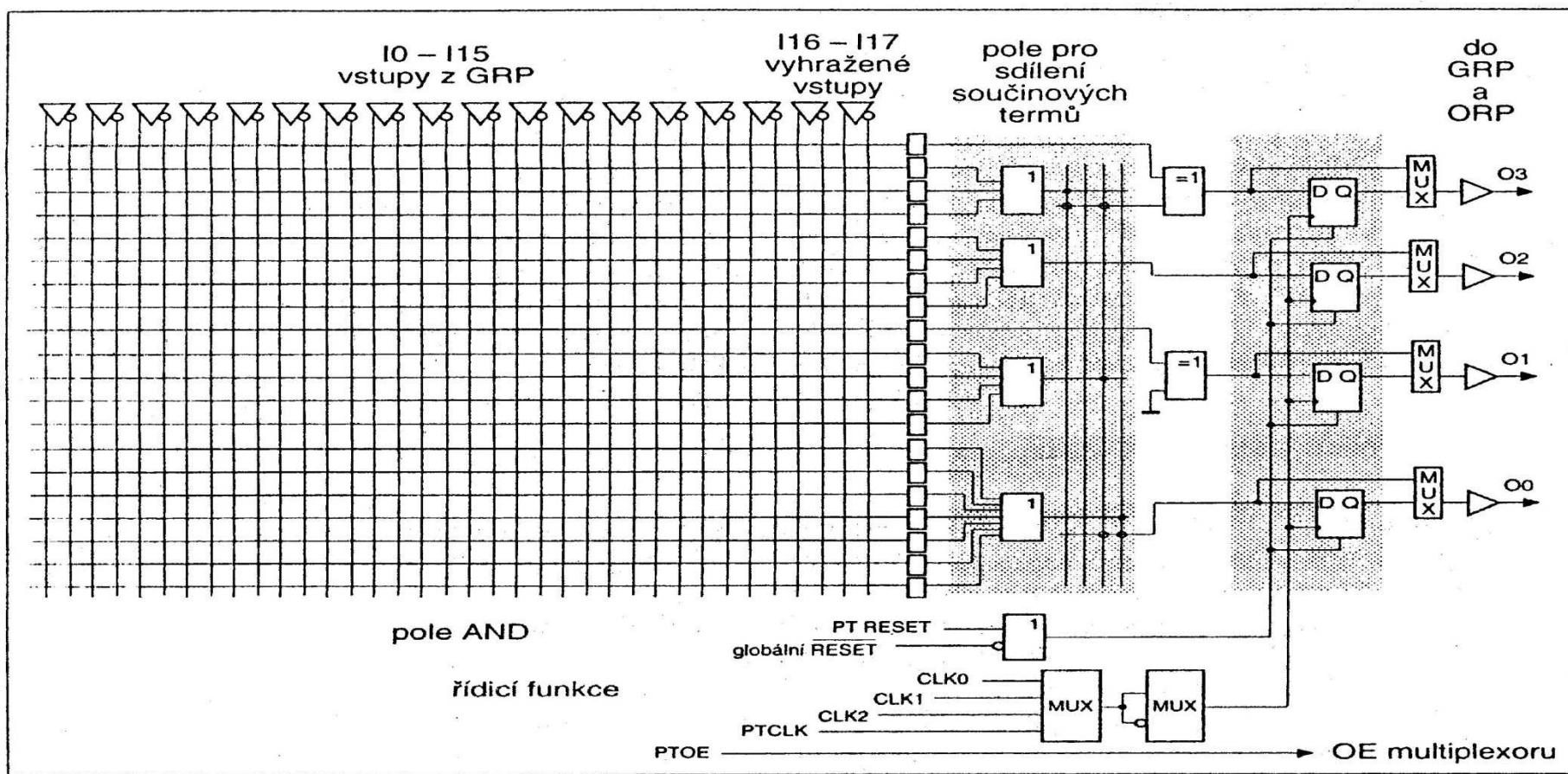
- jedinečným prvkom zvyšujúcim flexibilitu je Product Term Sharing Array (PTSA)



4.1 Lattice pLSI a ispLSI

Product Term Sharing Array (PTSA)

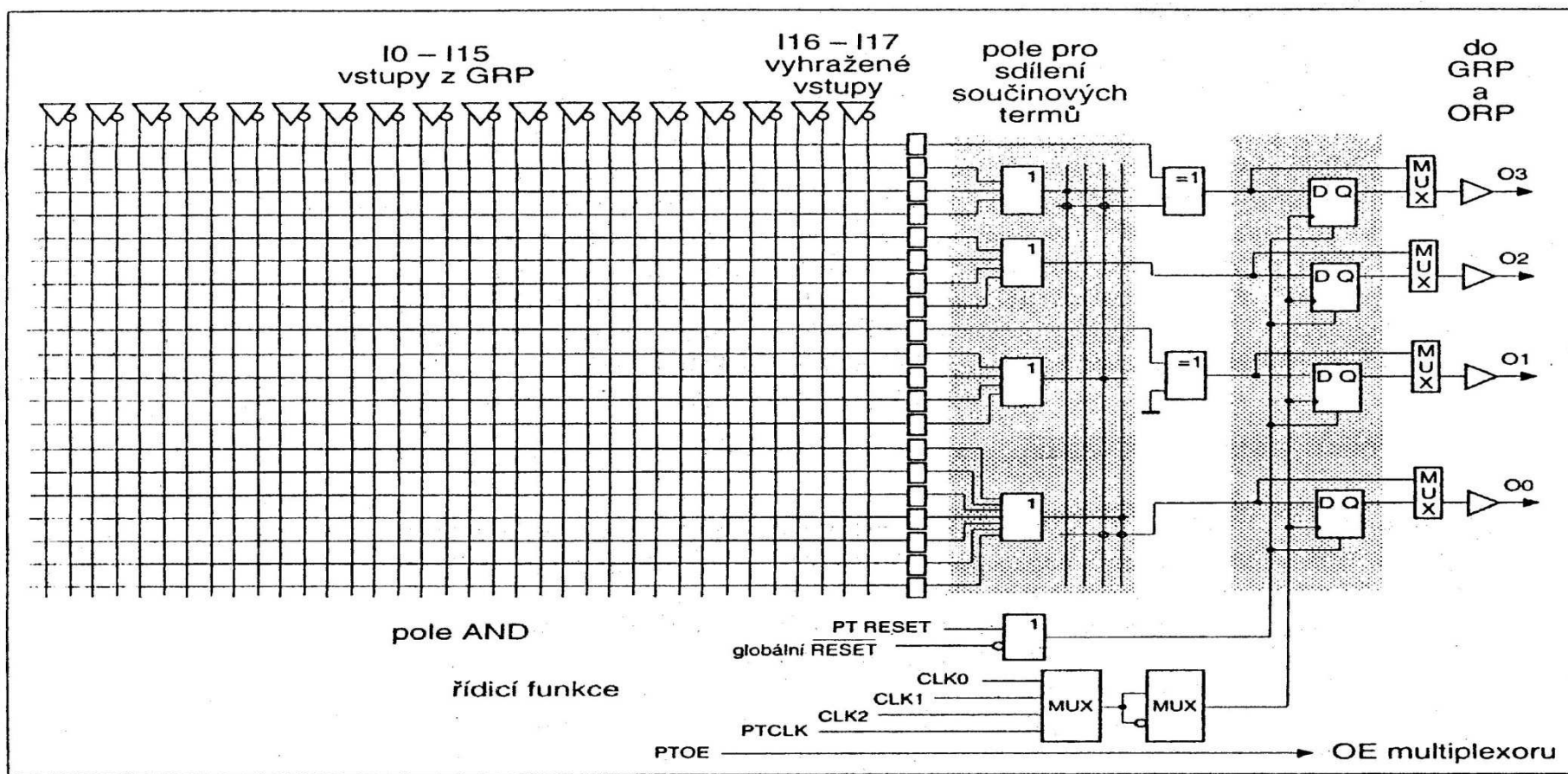
- pole které umožňuje použít ľubovoľný z 20 súčinových členov (výstupy pole AND) pre ľubovoľný výstup bloku GLB- to podporuje napr. veľmi efektívne implementácie stavových automatov.



4.1 Lattice pLSI a ispLSI

Output Logic Macrocell (OLMC)

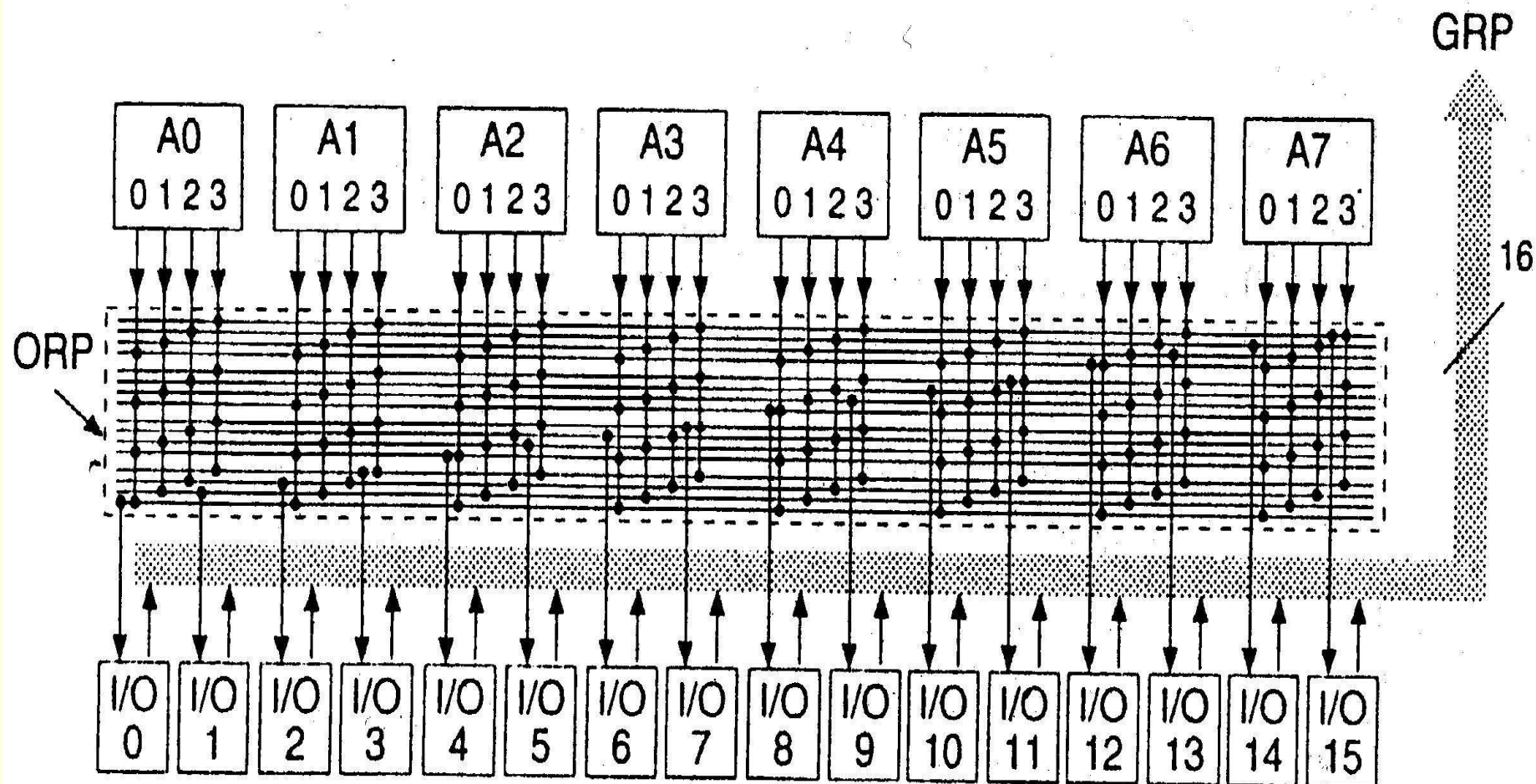
- umožňuje každý výstup GLB konfigurovat' ako kombinačný, alebo sekvenčný (riadený globálnymi synchronnými, alebo interne generovanými asynchronnými hodinovými signálmi).



4.1 Lattice pLSI a ispLSI

Output Routing Pool (ORP)

- prepája výstupy GLB so V/V bunkami (Obr.).



4.1 Lattice pLSI a ispLSI

Tabulka 1. Přehled obvodů pLSI a ispLSI

Obvod	1016	1024	1032	1048	2032	2064	2096	3192	3256	3320
počet hradel	2000	4000	6000	8000	1000	2000	4000	8000	11 000	14 000
f_{\max} [MHz]	110	90	90	80	135	135	110	110	80	80
zpoždění t_{pd} [ns]	10	12	12	15	7,5	7,5	10	10	15	15
počet makrobuněk	64	96	128	192	32	64	96	192	256	320
počet registrů	96	144	192	288	32	64	96	288	284	480
počet vstupů (I a I/O)	36	54	72	106	34	68	102	96	128	160
pouzdro PLCC	44	68	84		44	84				
pouzdro PQFP/TQFP			100	120		100	128	128	160	208
pouzdro PGA									167	207

4.2 Altera CPLD

Altera vyvinula rodiny CPLD obvodov:

- MAX 3000
- MAX 5000
- MAX 7000
- MAX 9000

Bližšie sa budeme venovať rodine obvodov MAX 3000 a MAX 7000.

MAX 5000 reprezentuje staršiu technológiu, jej výhoda však spočíva v cenovej dostupnosti.

MAX 9000 je v podstate rovnaká ako MAX 7000, ale poskytuje vyššiu logickú kapacitu.

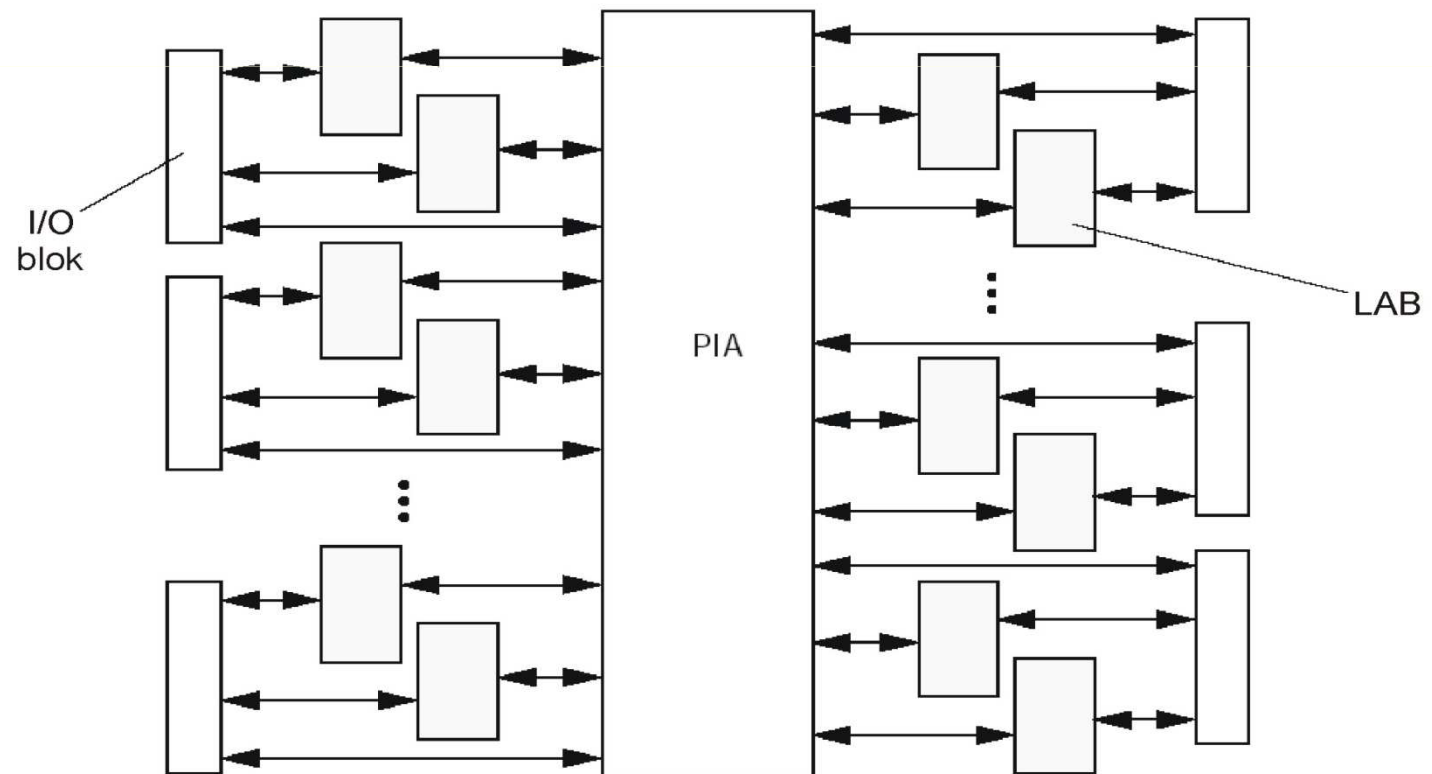
4.2 Altera MAX 3000 CPLD

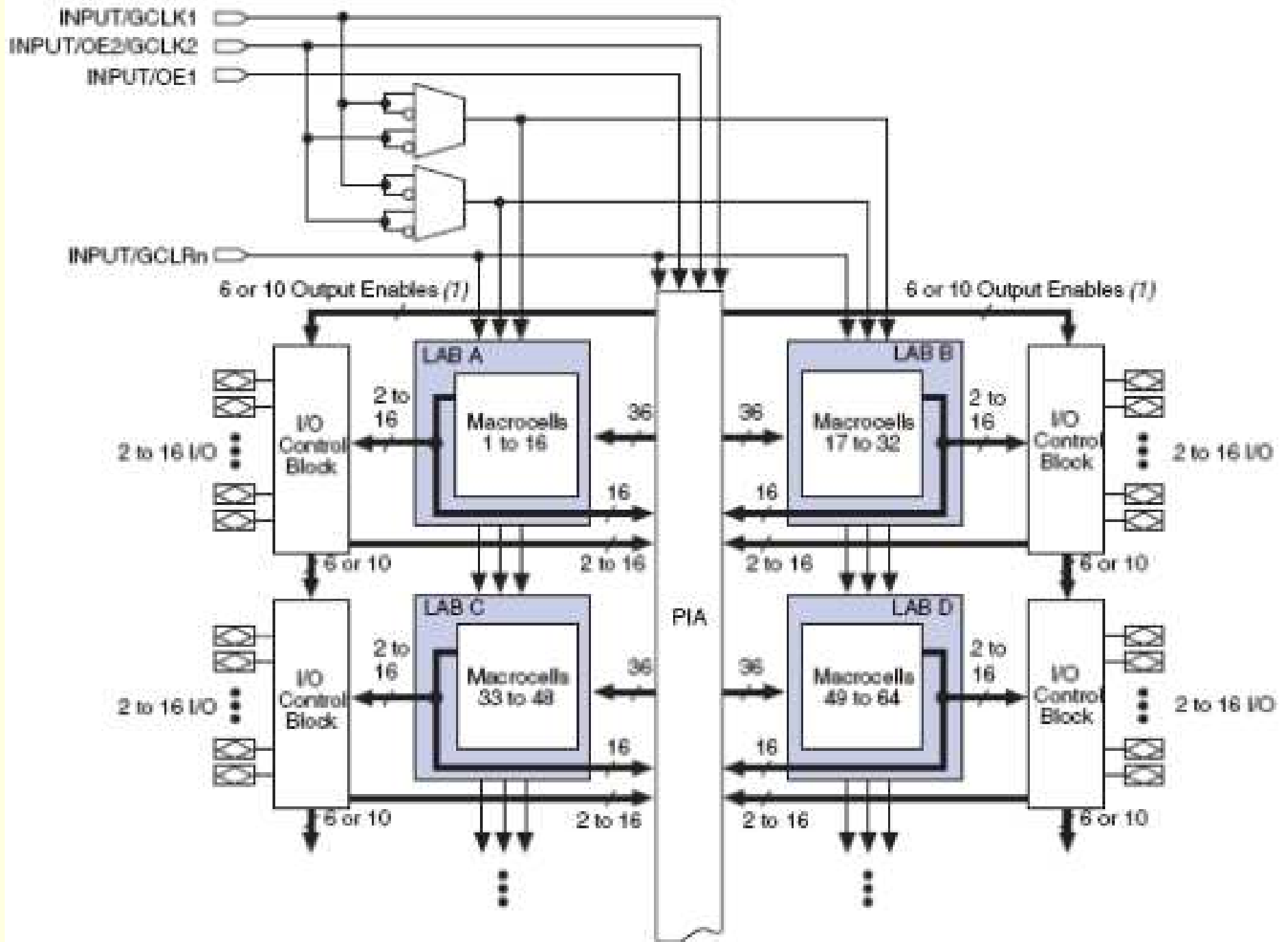
Table 1. MAX 3000A Device Features

Feature	EPM3032A	EPM3064A	EPM3128A	EPM3256A	EPM3512A
Usable gates	600	1,250	2,500	5,000	10,000
Macrocells	32	64	128	256	512
Logic array blocks	2	4	8	16	32
Maximum user I/O pins	34	66	98	161	208
t_{PD} (ns)	4.5	4.5	5.0	7.5	7.5
t_{SU} (ns)	2.9	2.8	3.3	5.2	5.6
t_{CO1} (ns)	3.0	3.1	3.4	4.8	4.7
f_{CNT} (MHz)	227.3	222.2	192.3	126.6	116.3

4.2 Altera MAX 3000 CPLD

Obr. ukazuje základnú architektúru rodiny obvodov MAX 3000, ktorá sa skladá z poľa logických blokov (Logic Array Blocks - LAB) a zo sústavy prepojuvácich vodičov, ktorú budeme nazývať *programovateľné prepojuvacie pole* (Programmable Interconnect Array – PIA). PIA môže navzájom prepájať vstupy alebo výstupy medzi jednotlivými LAB. Vstupy a výstupy čipu sa pripájajú priamo na PIA a LAB. LAB je zložitá logická štruktúra, podobaná SPLD štruktúre, preto môžeme považovať celý čip za pole vytvorené z SPLD obvodov.





4.2 Altera MAX 3000 CPLD

- obvody: 3032 (32 makrobuniek) až 3512 (512 makrobuniek),
- 3064A- programovatelné v programátore,
- 4 priradené vstupy- 2 globálne hodinové vstupy, 1 globálny reset všetkých KO,
- LAB= 16 makrobuniek,
- LAB pripojený k I/O CB,
- LAB pripojený k PIA

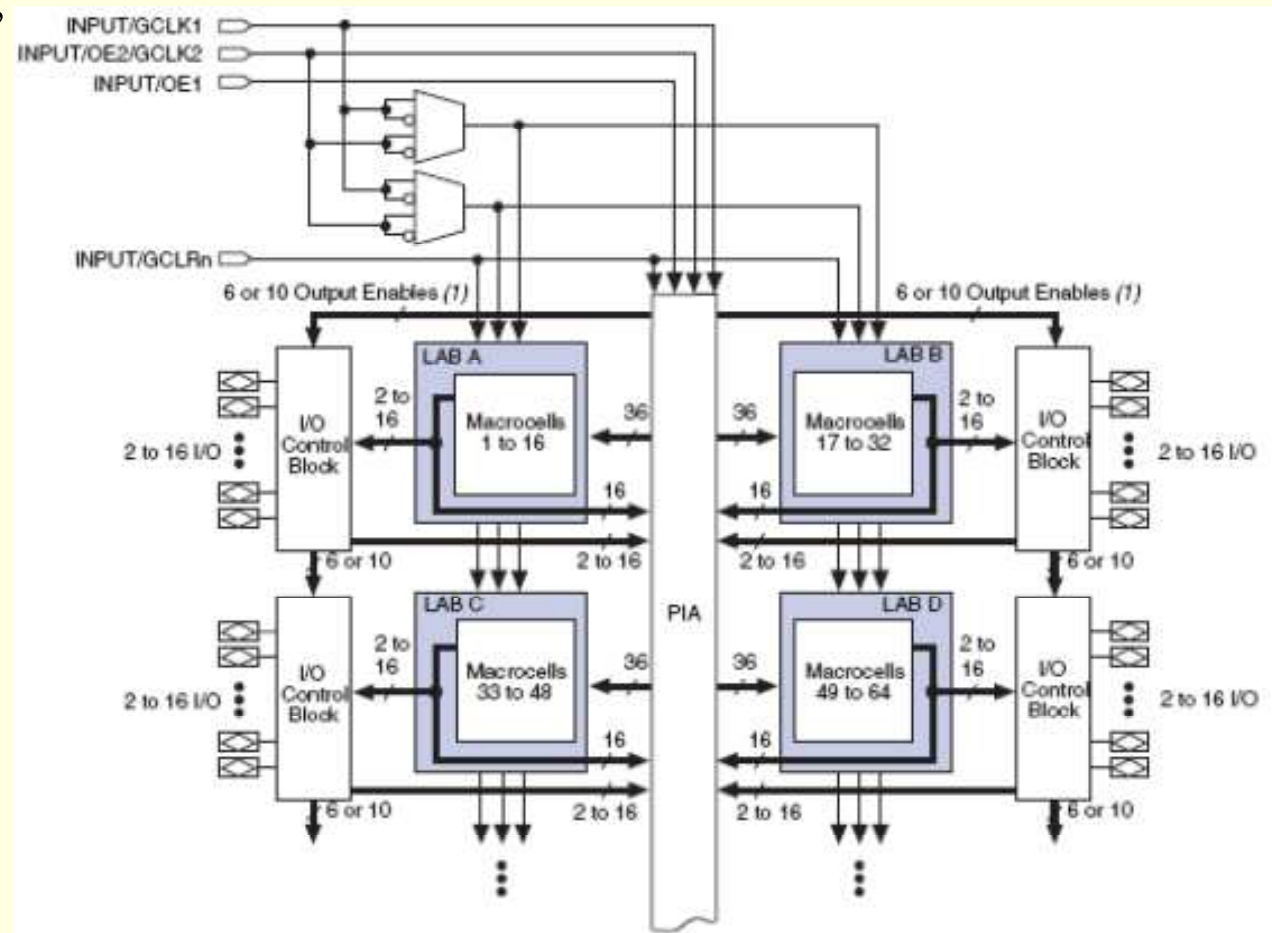
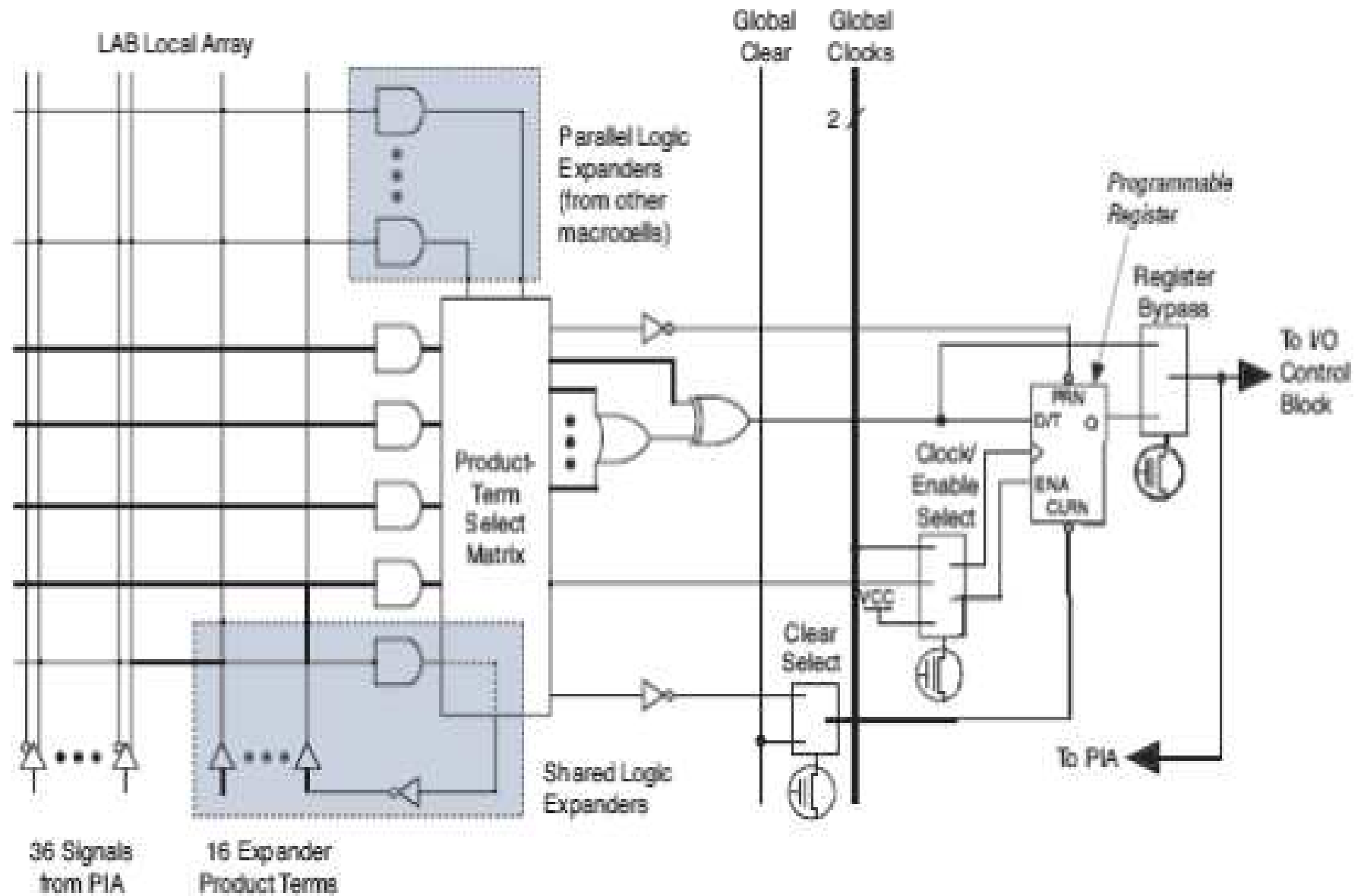


Figure 2. MAX 3000A Macrocell



5 Architektúry a typy číslicových obvodov FPGA

- 5.1 Xilinx XC 4000
- 5.2 Altera FLEX 10K
- 5.3 Altera Cyclone

5 Architektúry obvodov FPGA

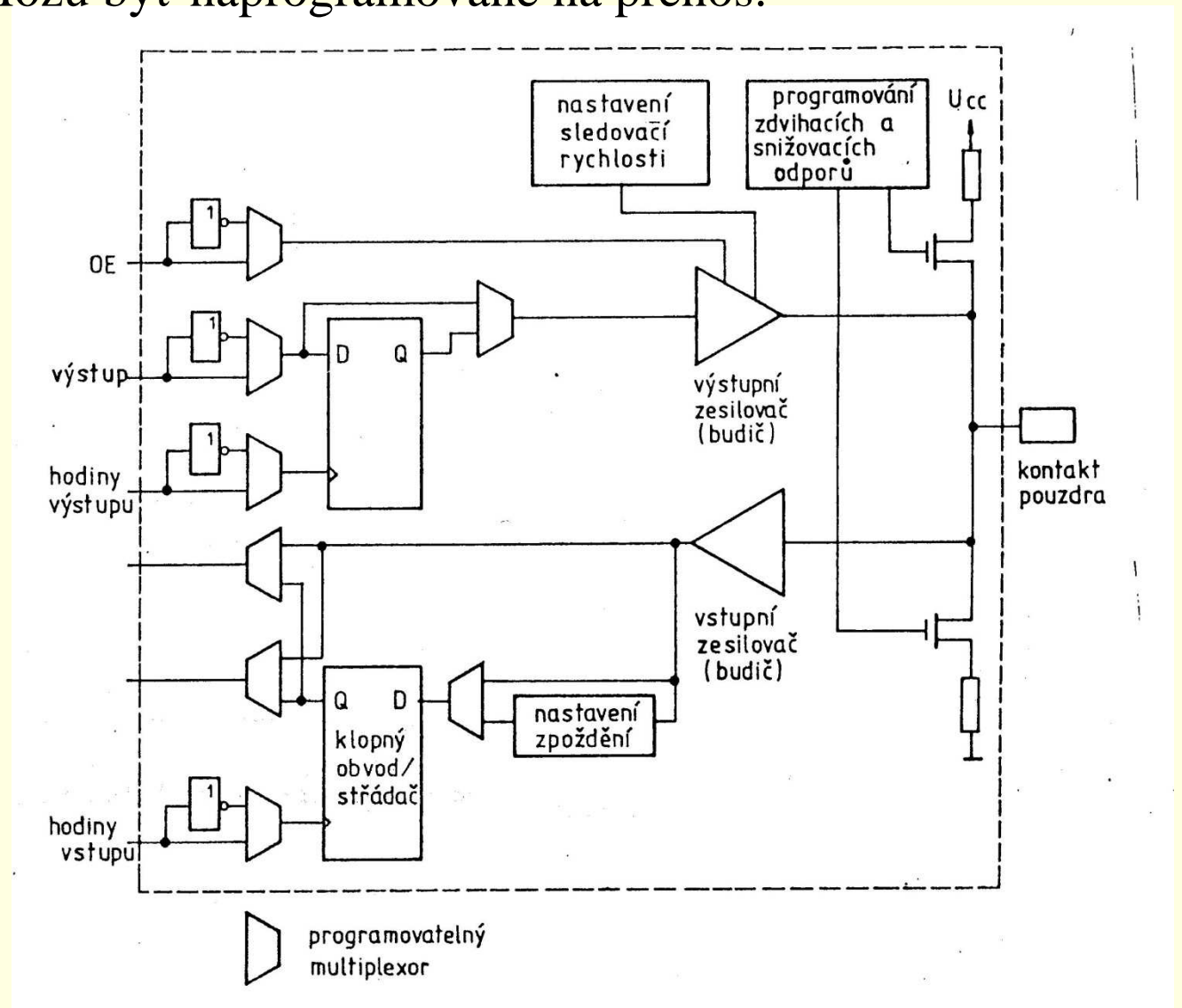
Hlavný komerčný výrobcovia sú uvedený v Tab.

Manufacturer	FPGA Products	WWW Locator
Actel	Act 1, 2 and 3, MX, SX	http://www.actel.com
Altera	FLEX 6000, 8000 and 10K, Mercury, APEX 20K (II), Excalibur, Stratix (II)	http://www.altera.com
Atmel	AT6000, AT40K	http://www.atmel.com
Lattice	ispXPGA, ORCA	http://www.latticesemi.com
QuickLogic	pASIC, Eclipse, Eclipse II	http://www.quicklogic.com
Xilinx	XC3000, XC4000, Spartan (3), Virtex, Virtex II (Pro)	http://www.xilinx.com

5.1 Xilinx XC 4000

V/V bloky (IOB): realizujú rozhranie medzi vývodmi puzdra a vnútornými signálovými cestami. Môžu byť naprogramované na prenos:

- vstupných,
- výstupných,
- obojsmerných sign.

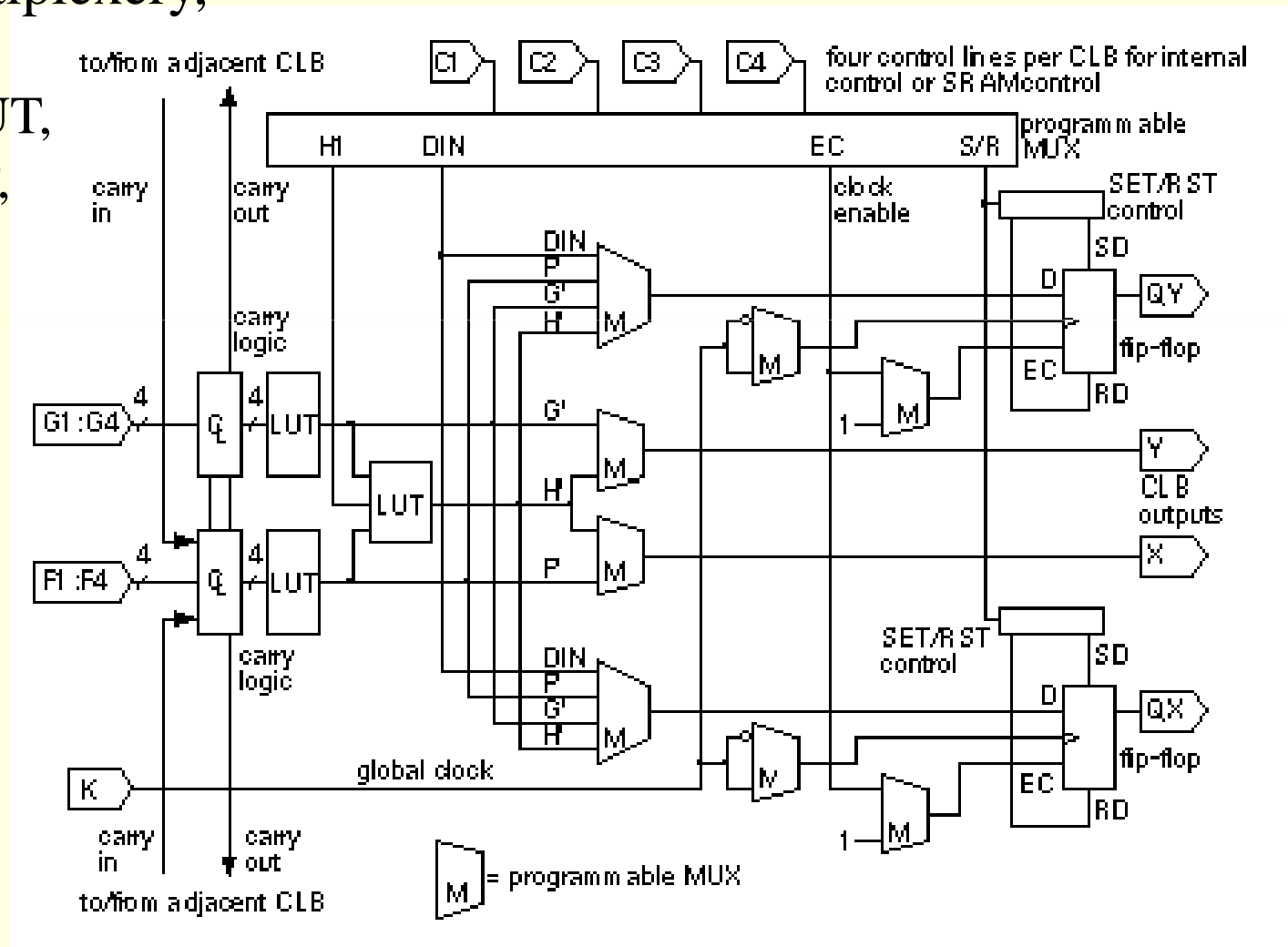


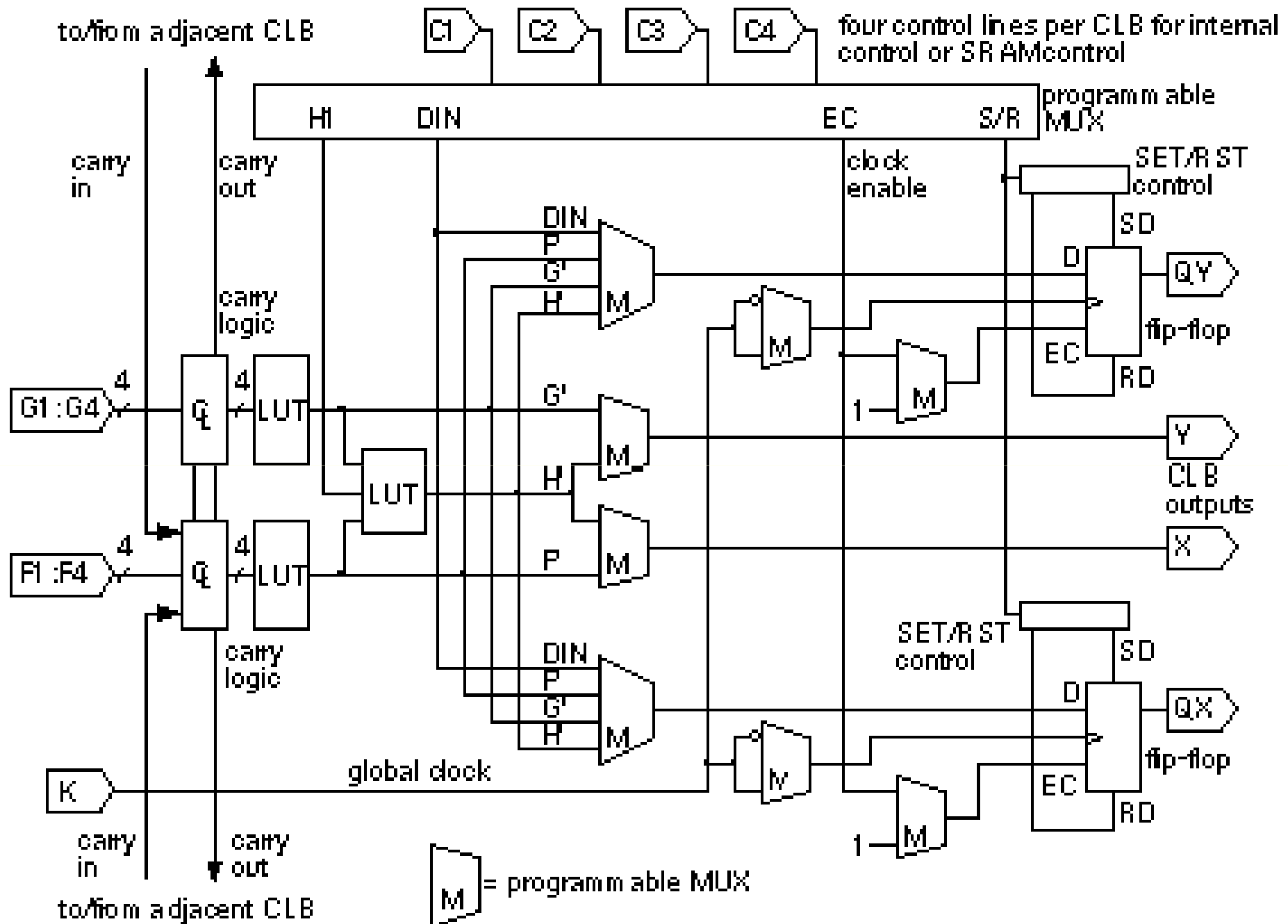
5.1 Xilinx XC 4000

Konfigurovateľné logické bloky (CLB): predstavujú funkčné prvky na vytvorenie užívateľskej logiky.

CLB= progr. multiplexery,

- dvojica KO,
- dvojica 4 vst. LUT,
- jedna 3 vst. LUT,
- 13 vstupov,
- 4 výstupy.





5.1 Xilinx XC 4000

Rodina XC 4000 hradlových polí LCA (Logic Cell Arrays) firmy Xilinx.

Označení	XC 4042	XC 4003	XC 4004	XC 4005	XC 4006	XC 4008	XC4010	XC 4013	XC4016	XC 4020
přibližný počet ekvivalentních hradel	2 000	3 000	4 000	5 000	6 000	8 000	10 000	13 000	16 000	20 000
rozměr matice bloků <i>CLB</i>	8 × 8	10 × 10	12 × 12	14 × 14	16 × 16	18 × 18	20 × 20	24 × 24	26 × 26	30 × 30
celkový počet bloků <i>CLB</i>	64	100	144	196	256	324	400	576	784	900
maximální počet bitů RAM	2 048	3 200	4 608	6 272	8 192	10 368	12 800	18 432	25 088	28 800
počet bloků <i>IOB</i>	64	80	96	112	128	144	160	192	224	240

5.2 Altera FLEX 10K

Vnútorne usporiadanie obvodu FLEX 10K je na Obr.

-prepojovacie vodiče

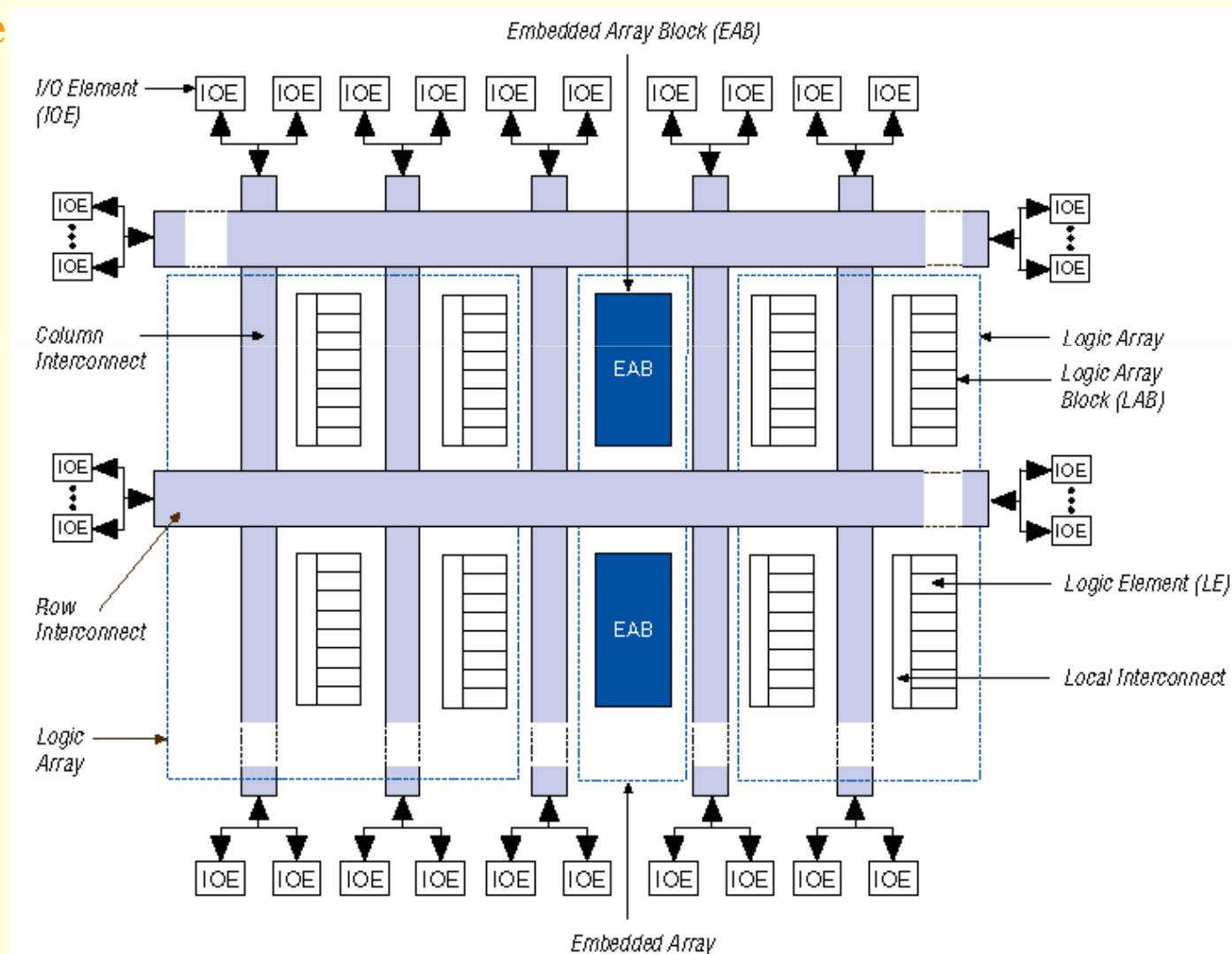
-vodorovné
-zvisle

-LABs,

- 8 LEs
- LUT

-EABs,

- IOE.

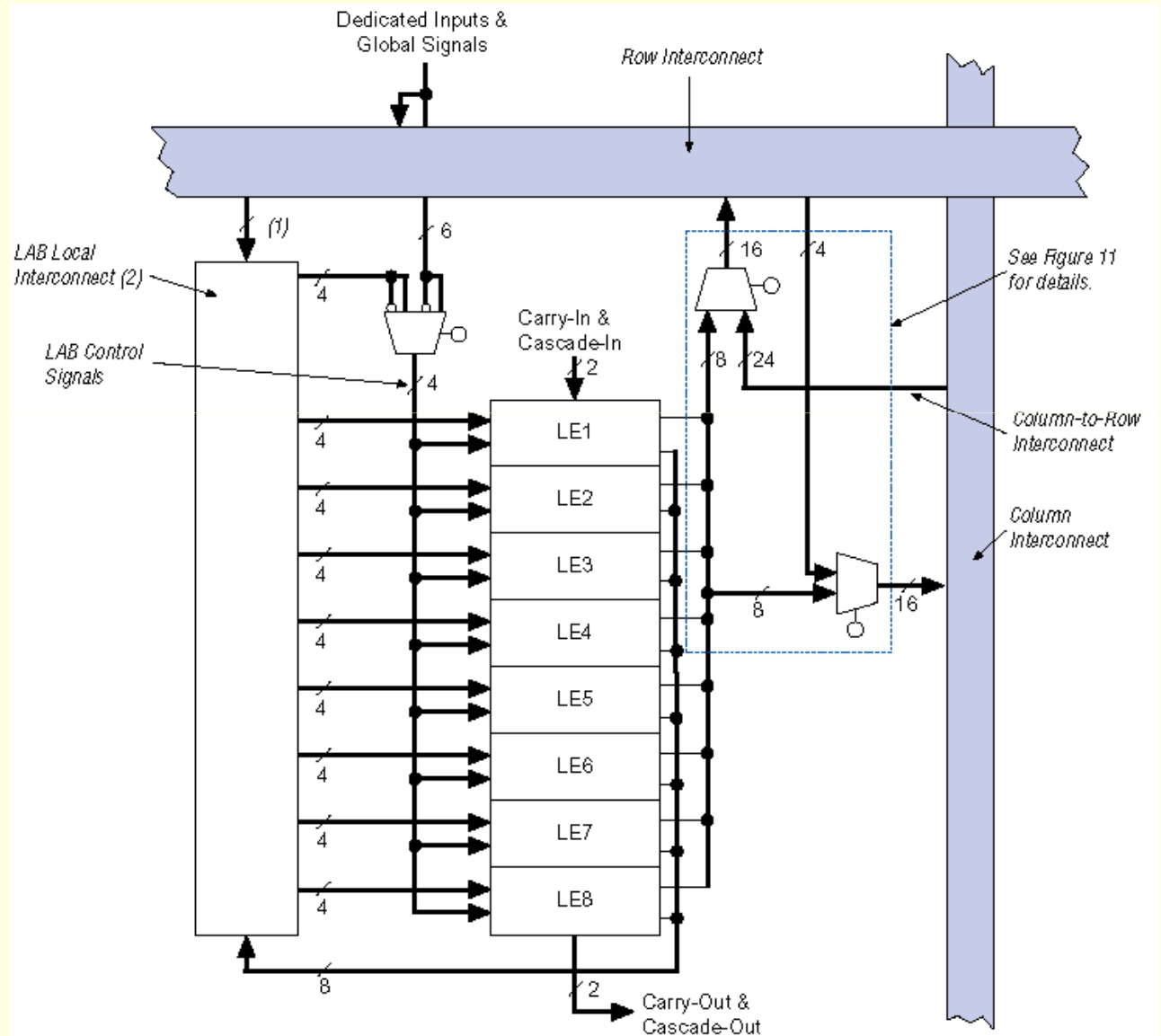


5.2 Altera FLEX 10K

Každý LAB pozostáva s:

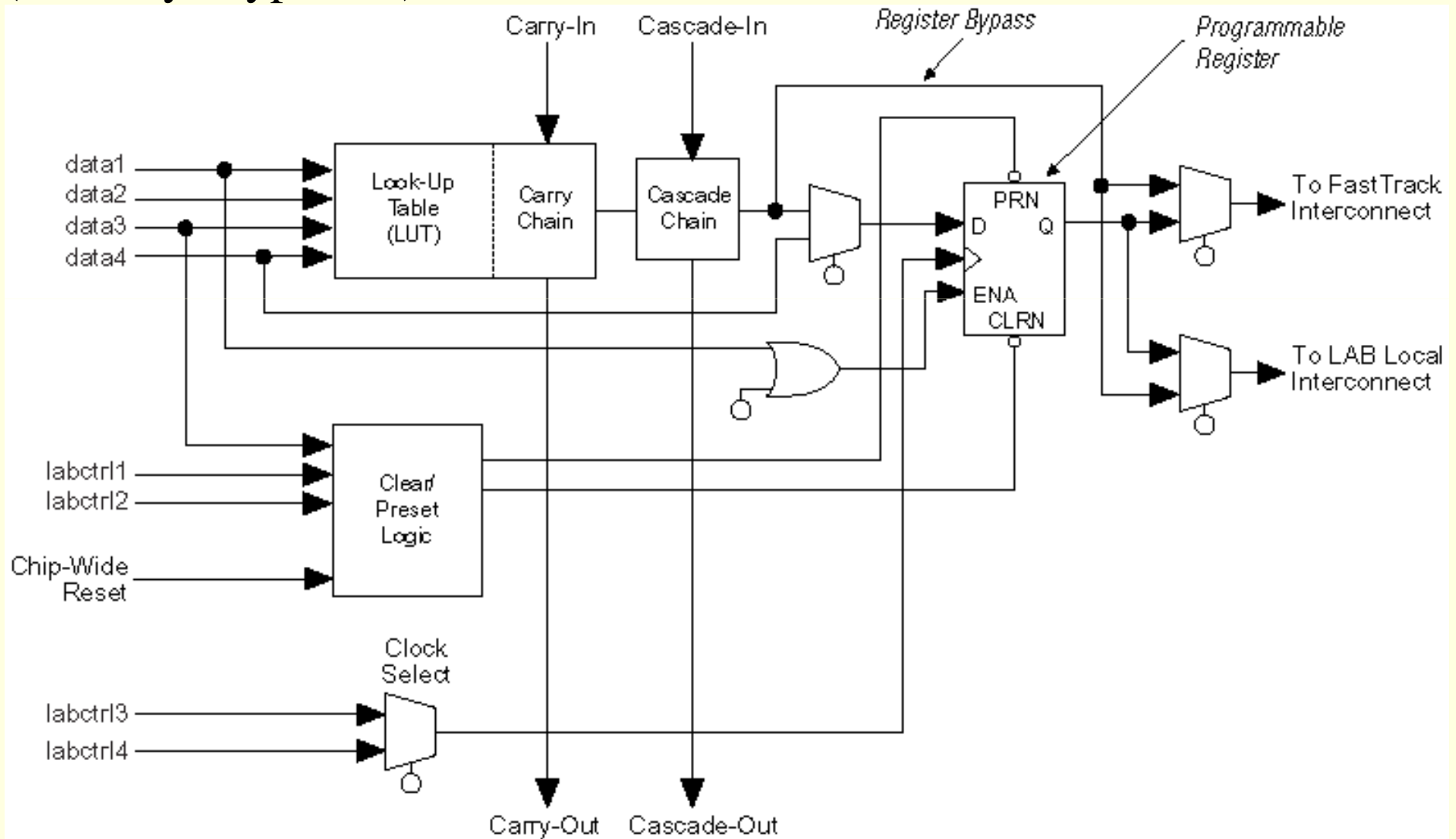
-8 LE,

- niekoľkých vstupov



5.2 Altera FLEX 10K

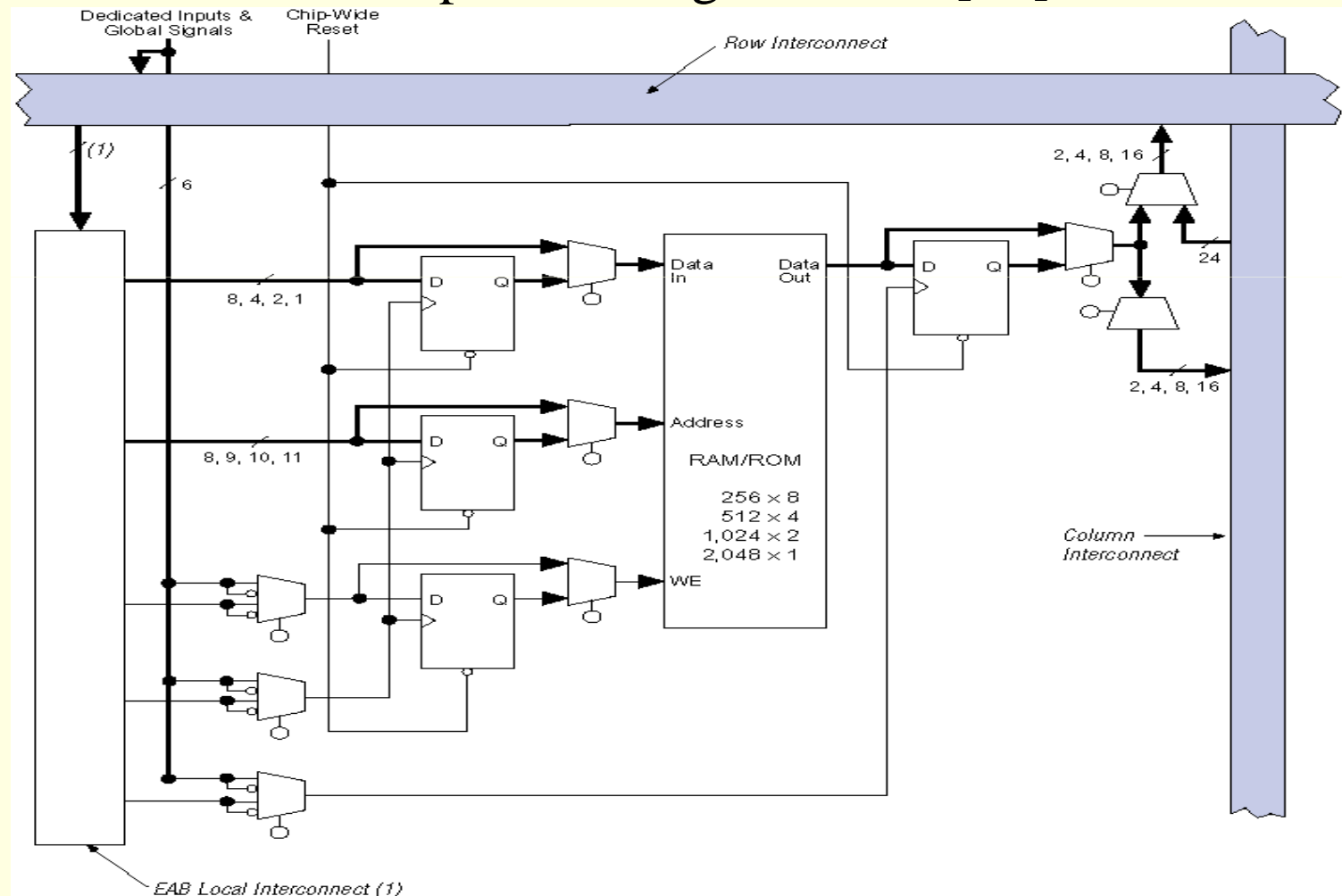
Základným blokom LE je **LUT** (4 vstupová), ďalším prvkom je KO (môže byť bypassed).



5.2 Altera FLEX 10K

Štruktúra EAB je na Obr. Skladá sa z 2048 SRAM buniek (konfigurácia použitím LPM knižnice- *lpm_ram_dq*, *lpm_rom*),
-môžu byť použité na realizáciu pamätí s organizáciou [bit]:

- 256x8,
- 512x4,
- 1024x2,
- 2048x1.



5.2 Altera FLEX 10K

V rodine FLEX 10K sú k dispozícií obvody 10K10 až 10K250, ktoré majú 10k až 250k ekvivalentných logických hradiel.

Sú k dispozícií obvody s rôznymi oneskoreniami (10K10-1/2)

Feature	EPF10K10 EPF10K10A	EPF10K20
Typical gates (logic and RAM) (1)	10,000	20,000
Maximum system gates	31,000	63,000
Logic elements (LEs)	576	1,152
Logic array blocks (LABs)	72	144
Embedded array blocks (EABs)	3	6
Total RAM bits	6,144	12,288
Maximum user I/O pins	150	189

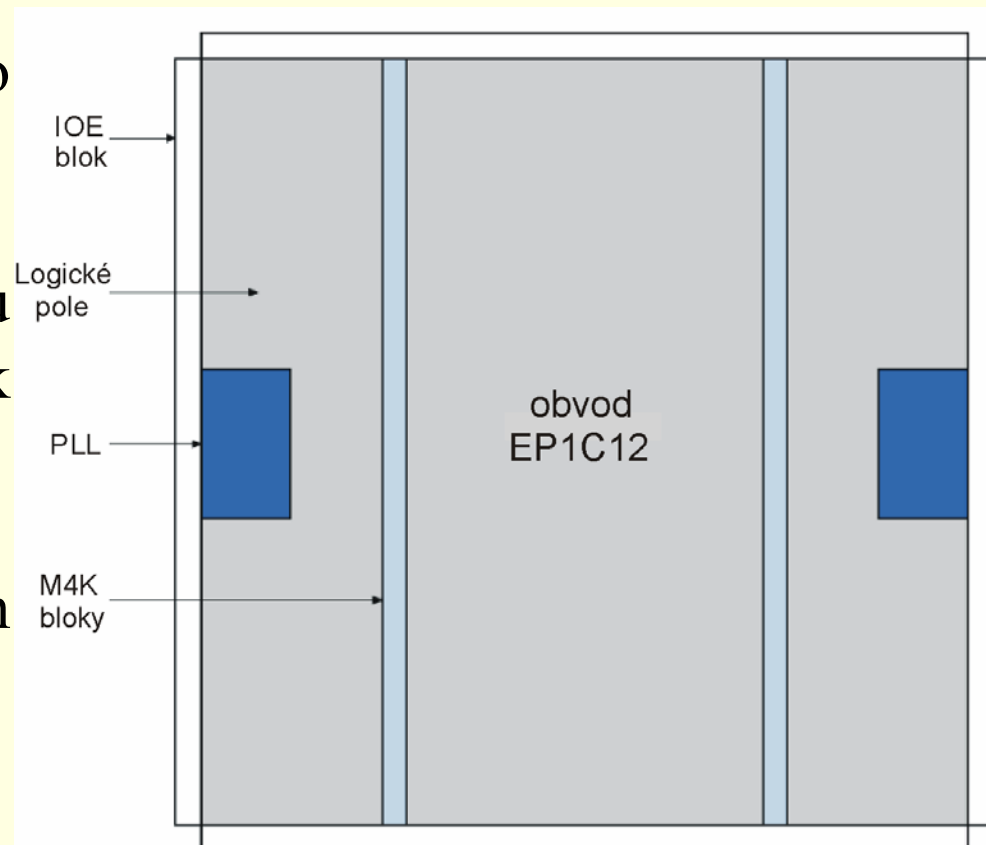
6.3 Altera Cyclone

Obvody Cyclone využívajú na realizáciu užívateľskej logiky dvojrozmernú architektúru (**riadky** a **stĺpce**- Obr.). Prepojenia riadkov a stĺpcov (s rôznou prenosovou rýchlosťou) zabezpečujú prepojenie signálu medzi **LAB** a **EAB**. **M4K bloky** sú DDR (Dedicate Double data Rate) pamäťové bloky RAM s kapacitou 4Kbit a s paritou (4 608 bit).

Tieto bloky sú usporiadané do stĺpcov uprostred určitých LABs.

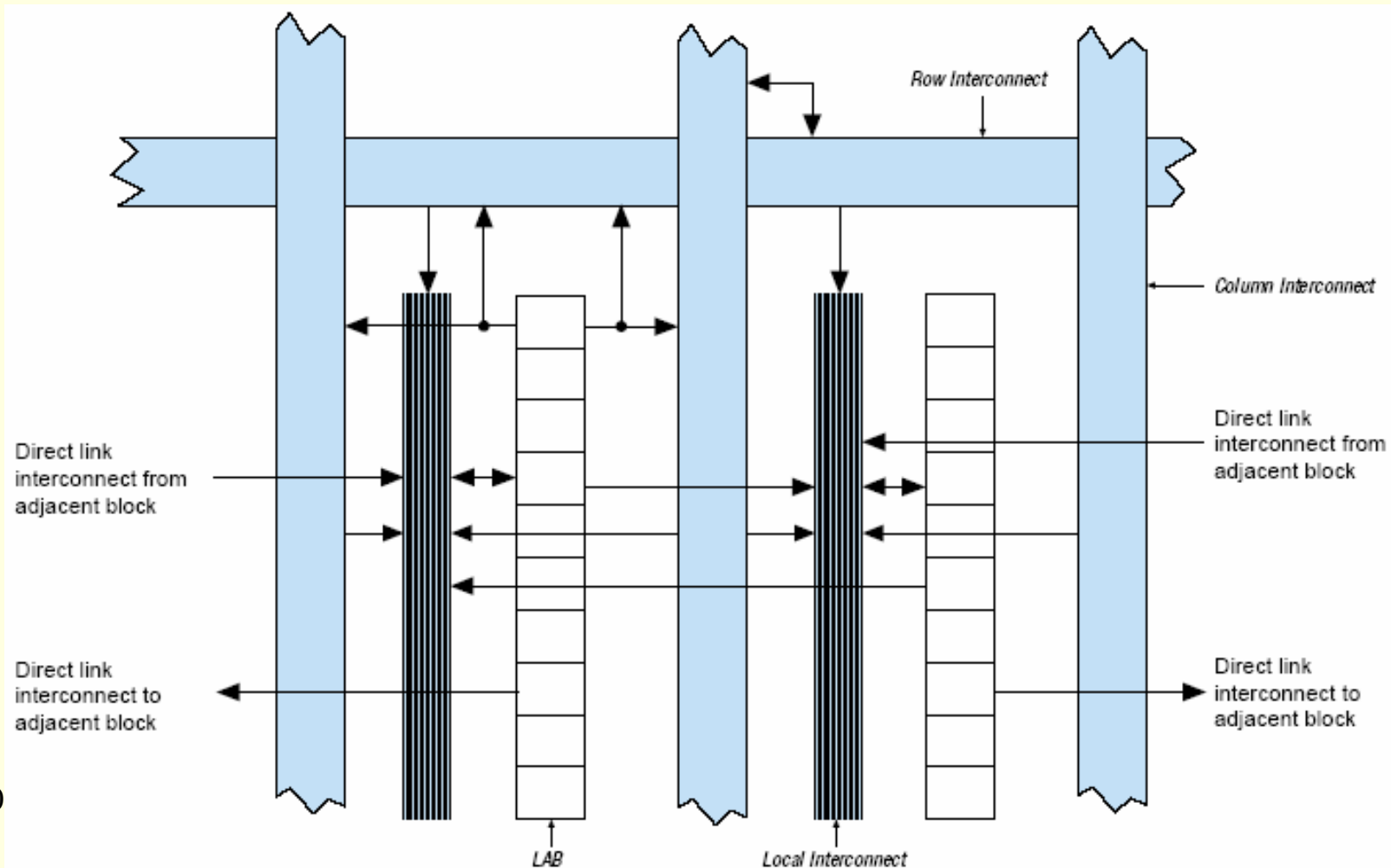
Obvody Cyclone poskytujú kapacitu vlozenej RAM od 60k 288kbitov.

Poskytujú globálnu sieť hodín a maximálne dva **PLL**.



6.3 Altera Cyclone

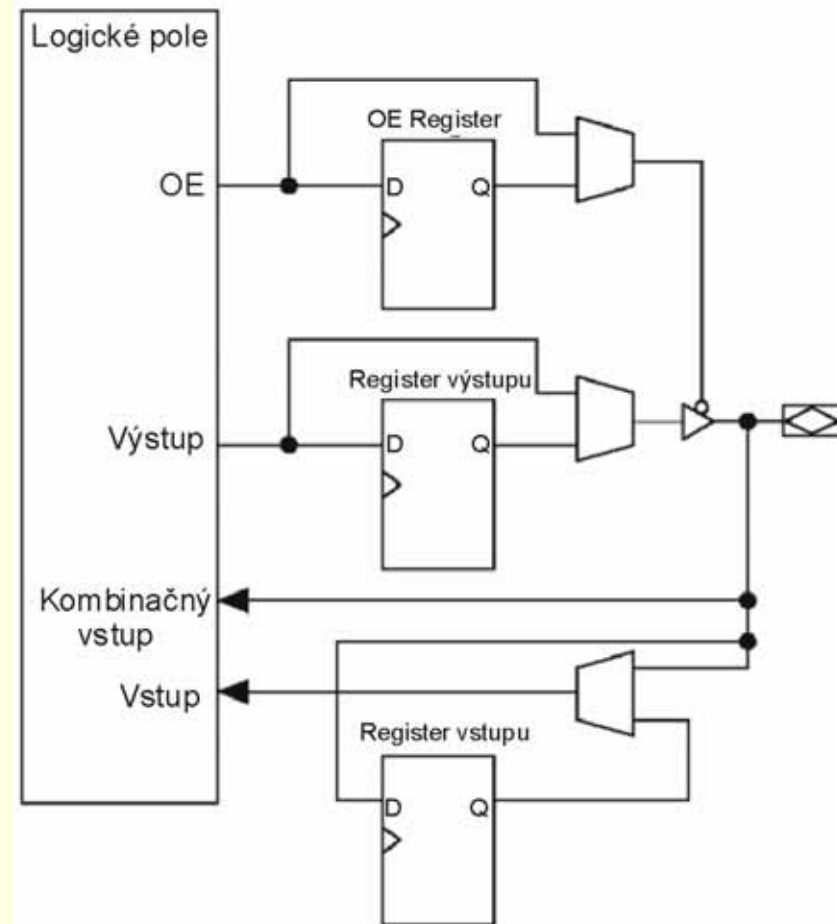
Logické pole sa skladá z LABs, s 10 LEs v každom LAB. LE je malá logická jednotka poskytujúca výkonnú implentáciu užívateľských logických funkcií. LAB sú umiestnené v obvode do riadkov a stĺpcov.



6.3 Altera Cyclone

Každý I/O pin v obvode Cyclone je budený I/O elementom (IOE), ktorý je umiestnený na konci riadkov a stĺpcov LABs, okolo obvodu súčiastky. I/O piny podporujú rôzne jednoduché a diferenčné I/O štandardy. Každý IOE obsahuje obojsmerný I/O buffer a tri registre pre záznam:

- vstupných signálov,
- výstupných signálov,
- output- enable signálov.



6.3 Altera Cyclone

Table 2-1. Cyclone Device Resources

Device	M4K RAM		PLLs	LAB Columns	LAB Rows
	Columns	Blocks			
EP1C3	1	13	1	24	13
EP1C4	1	17	2	26	17
EP1C6	1	20	2	32	20
EP1C12	2	52	2	48	26
EP1C20	2	64	2	64	32