

FPGA obvody

Pavol Galajda, KEMT, FEI, TUKE
Pavol.Galajda@tuke.sk

5 Architektúry a typy číslicových obvodov FPGA

- 5.1 Xilinx XC 4000
- 5.2 Altera FLEX 10K
- 5.3 Altera Cyclone

5 Architektúry obvodov FPGA

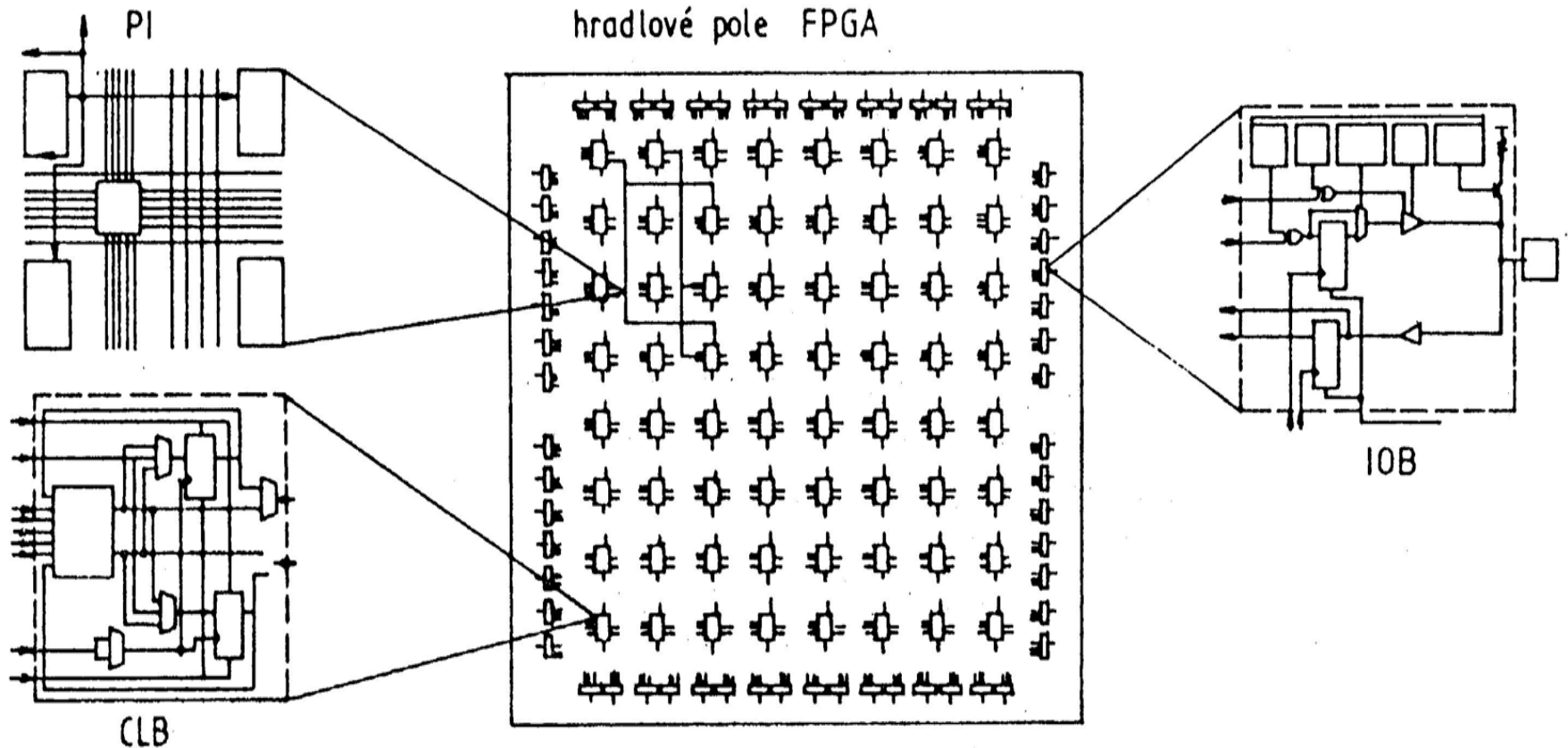
Hlavný komerčný výrobcovia sú uvedený v Tab.

Manufacturer	FPGA Products	WWW Locator
Actel	Act 1, 2 and 3, MX, SX	http://www.actel.com
Altera	FLEX 6000, 8000 and 10K, Mercury, APEX 20K (II), Excalibur, Stratix (II)	http://www.altera.com
Atmel	AT6000, AT40K	http://www.atmel.com
Lattice	ispXPGA, ORCA	http://www.latticesemi.com
QuickLogic	pASIC, Eclipse, Eclipse II	http://www.quicklogic.com
Xilinx	XC3000, XC4000, Spartan (3), Virtex, Virtex II (Pro)	http://www.xilinx.com

5.1 Xilinx XC 4000

Hlavné stavebné bloky:

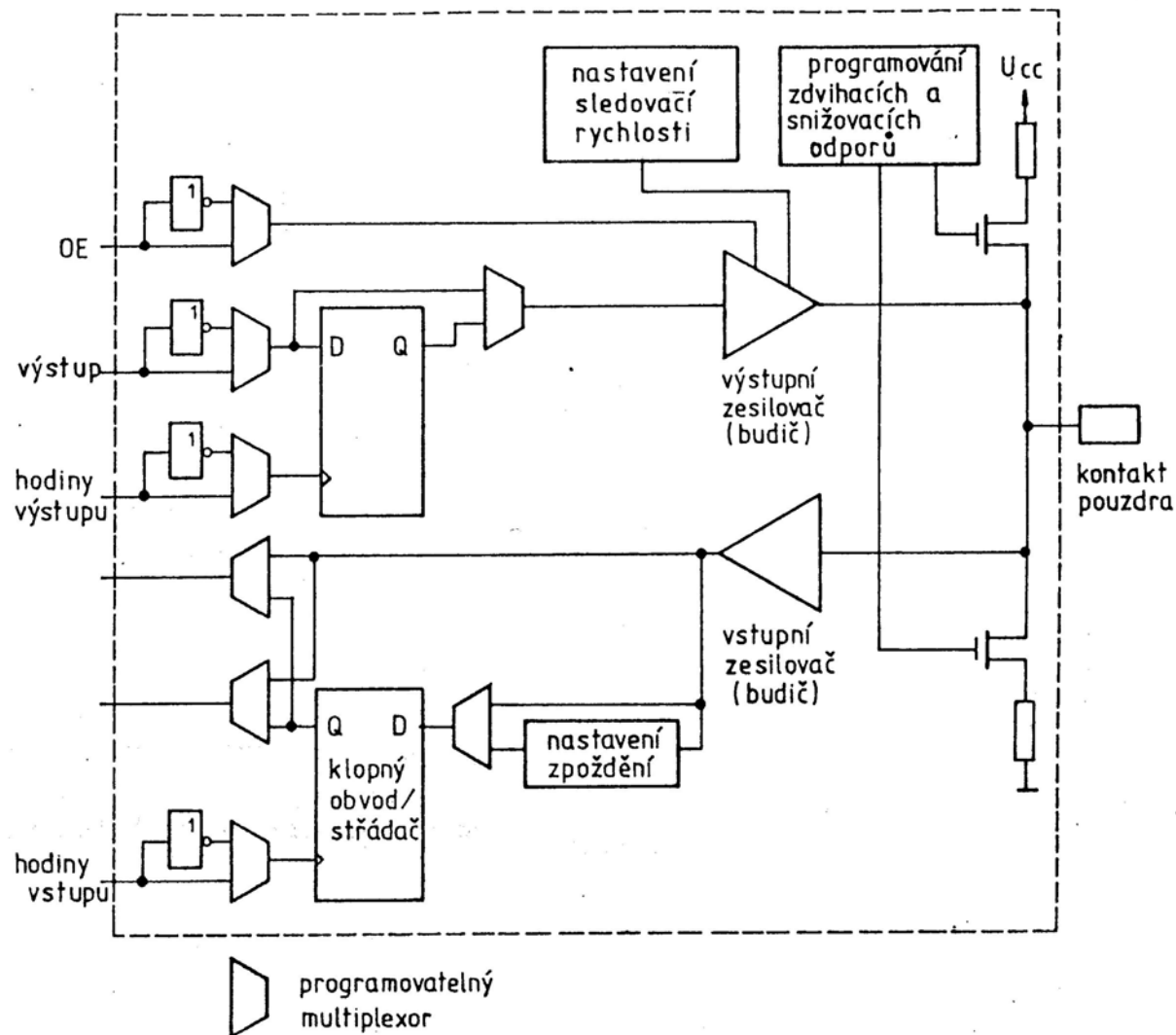
- programovateľné spojovacie trasy (PI)
- konfigurovateľné logické bloky (CLB)
- V/V bloky (IOB)



5.1 Xilinx XC 4000

V/V bloky (IOB): realizují rozhraní mezi vývodmi puzdra a vnútornými signálovými cestami. Môžu byť naprogramované na prenos:

- vstupných,
- výstupných,
- obojsmerných sign.

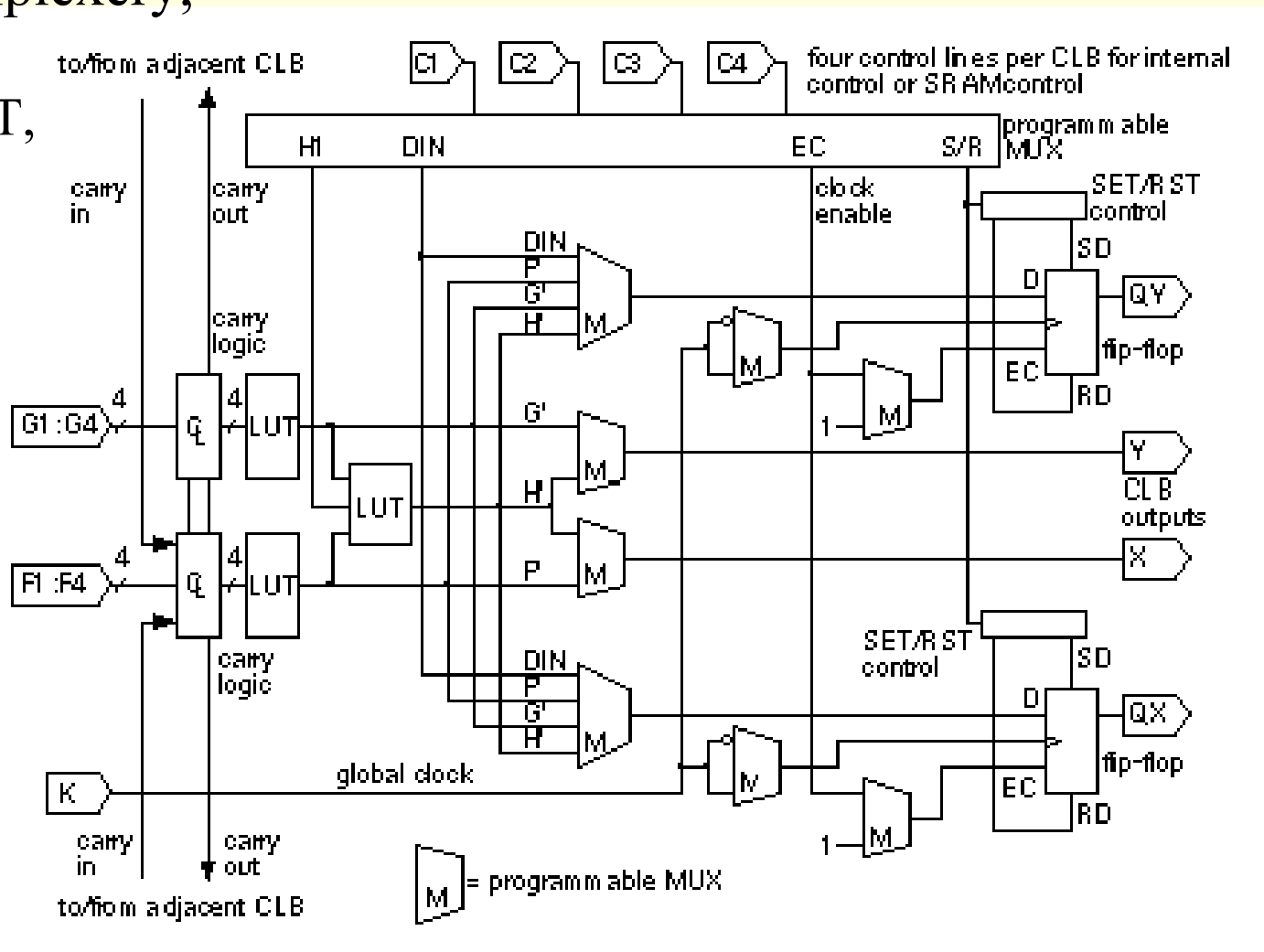


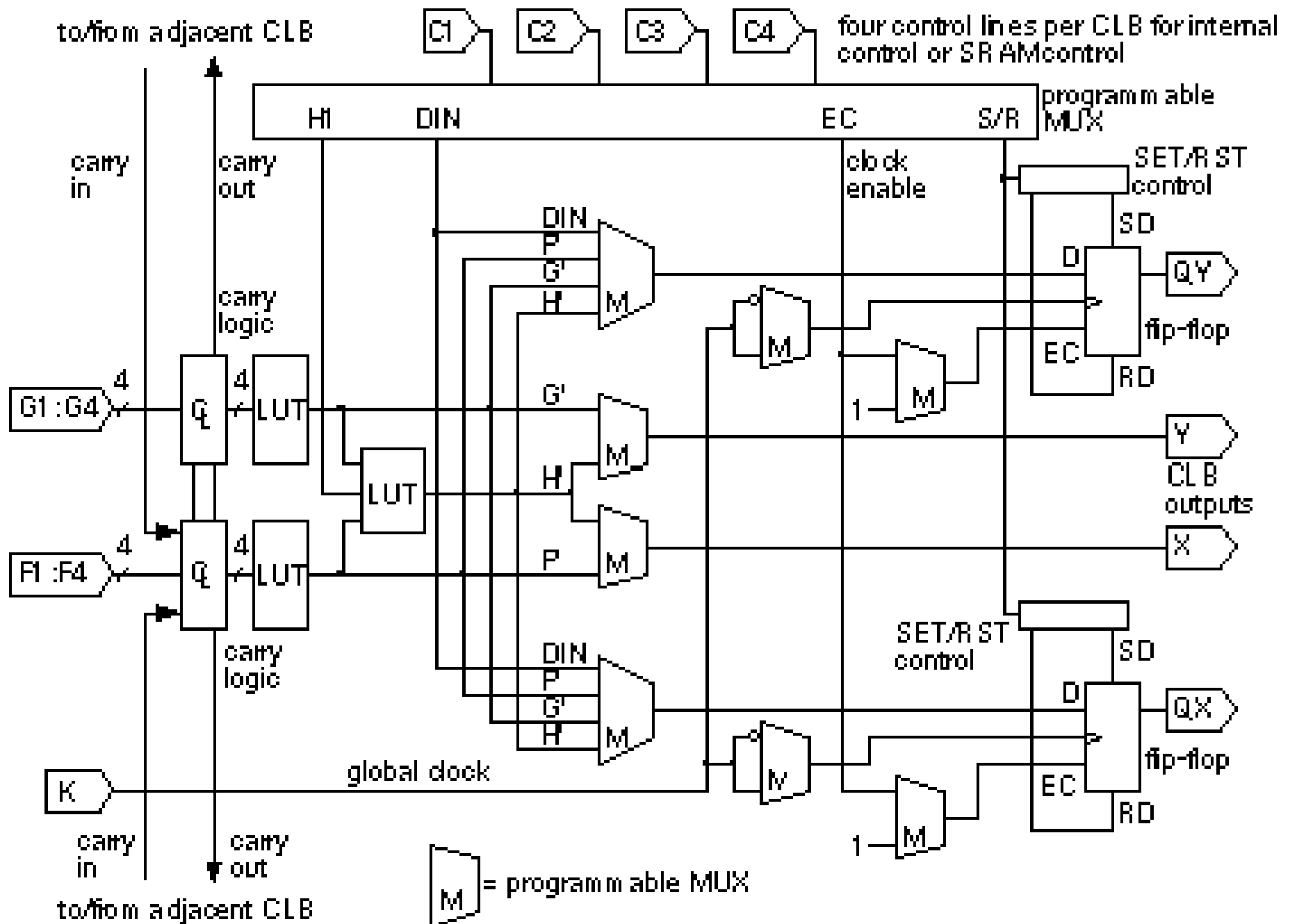
5.1 Xilinx XC 4000

Konfigurovateľné logické bloky (CLB): predstavujú funkčné prvky na vytvorenie užívateľskej logiky.

CLB= progr. multiplexery,

- dvojica KO,
- dvojica 4 vst. LUT,
- jedna 3 vst. LUT,
- 13 vstupov,
- 4 výstupy.





5.1 Xilinx XC 4000

Rodina XC 4000 hradlových polí LCA (Logic Cell Arrays) firmy Xilinx.

Označení	XC 4042	XC 4003	XC 4004	XC 4005	XC 4006	XC 4008	XC4010	XC 4013	XC4016	XC 4020
přibližný počet ekvivalentních hradel	2 000	3 000	4 000	5 000	6 000	8 000	10 000	13 000	16 000	20 000
rozměr matice bloků <i>CLB</i>	8 × 8	10 × 10	12 × 12	14 × 14	16 × 16	18 × 18	20 × 20	24 × 24	26 × 26	30 × 30
celkový počet bloků <i>CLB</i>	64	100	144	196	256	324	400	576	784	900
maximální počet bitů RAM	2 048	3 200	4 608	6 272	8 192	10 368	12 800	18 432	25 088	28 800
počet bloků <i>I/OB</i>	64	80	96	112	128	144	160	192	224	240

5.2 Altera FLEX 10K

Vnútorne usporiadanie obvodu FLEX 10K je na Obr.

-prepojovacie vodiče

-vodorovné

-zvisle

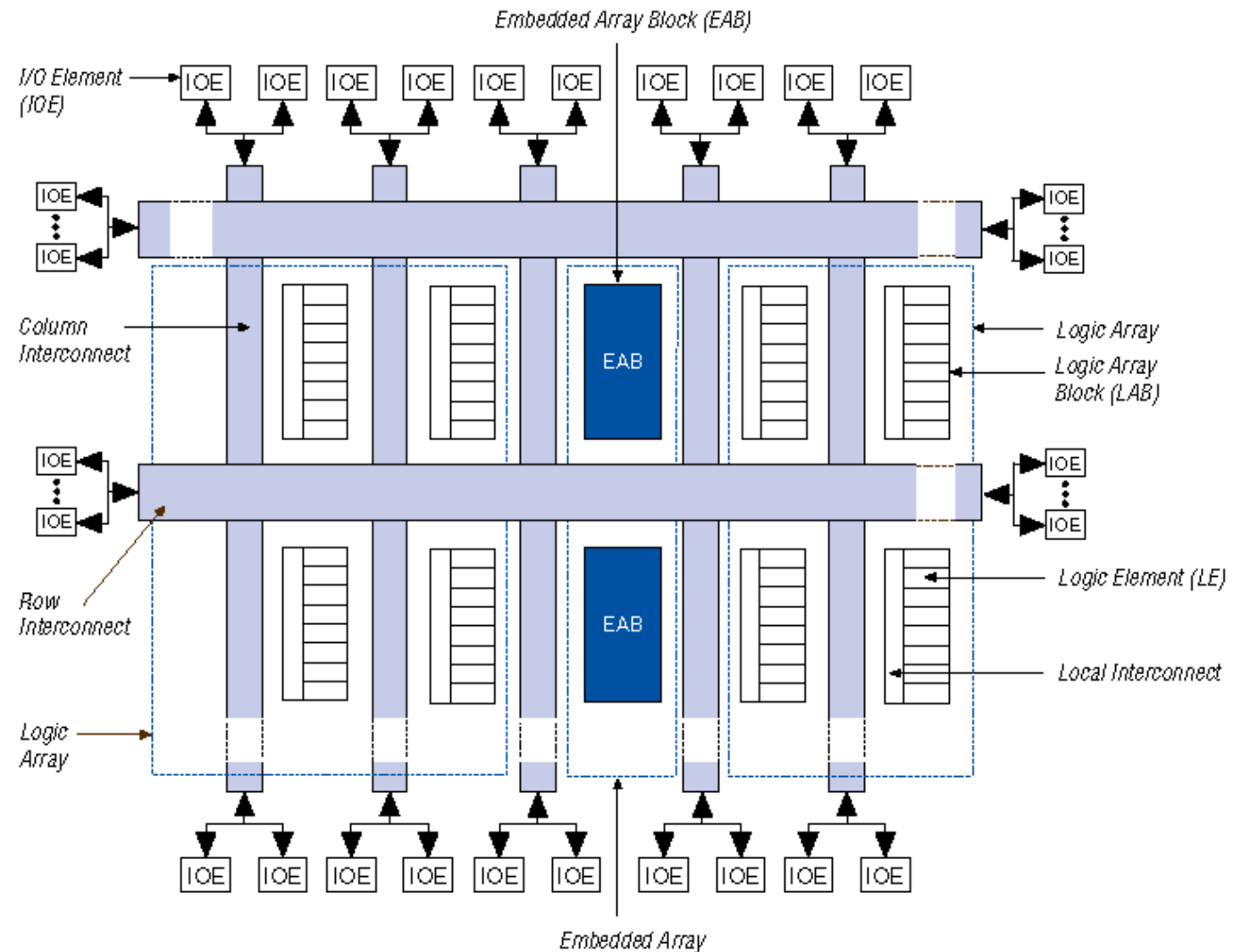
-LABs,

- 8 LEs

- LUT

-EABs,

- IOE.

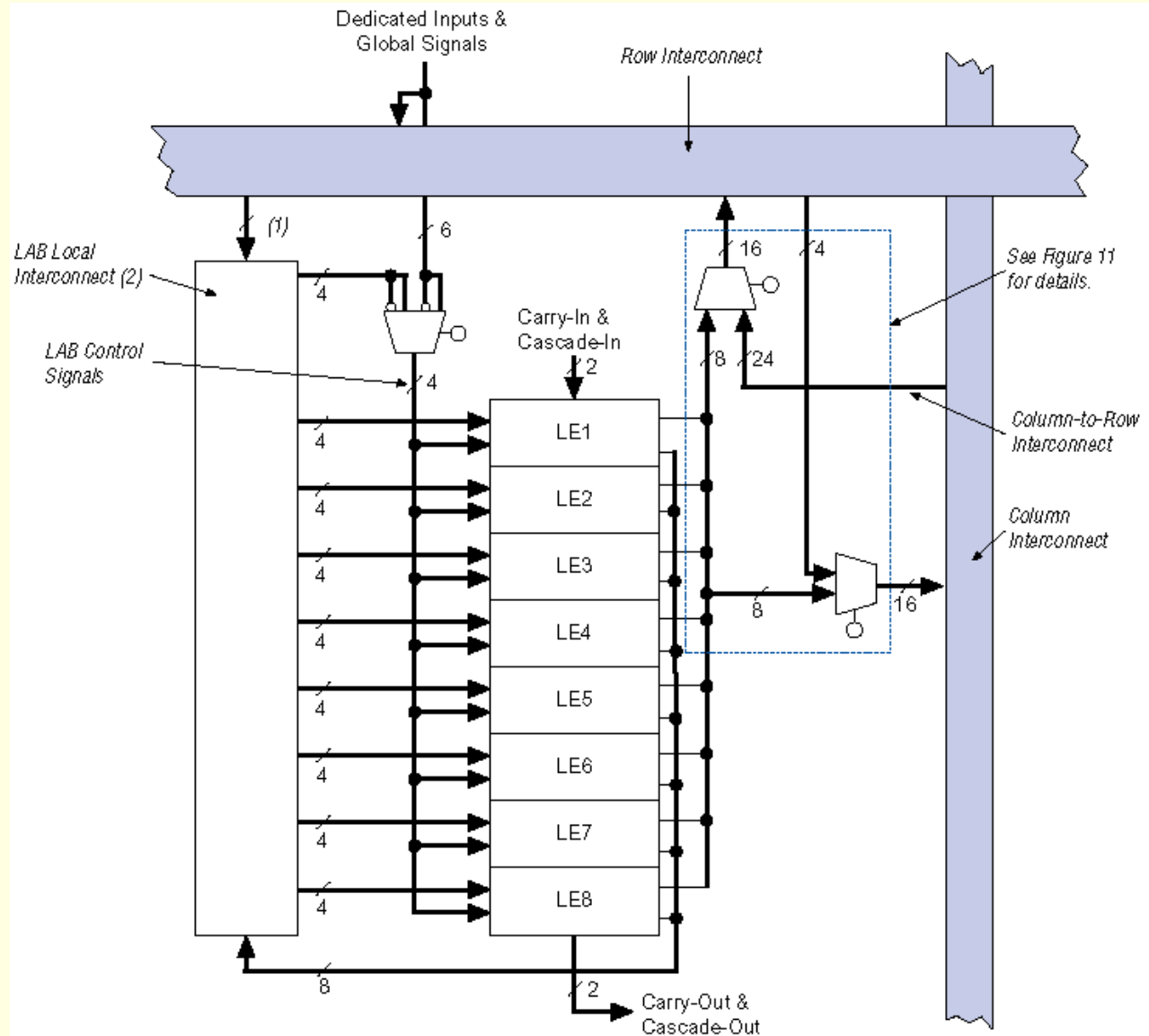


5.2 Altera FLEX 10K

Každý LAB pozostáva s:

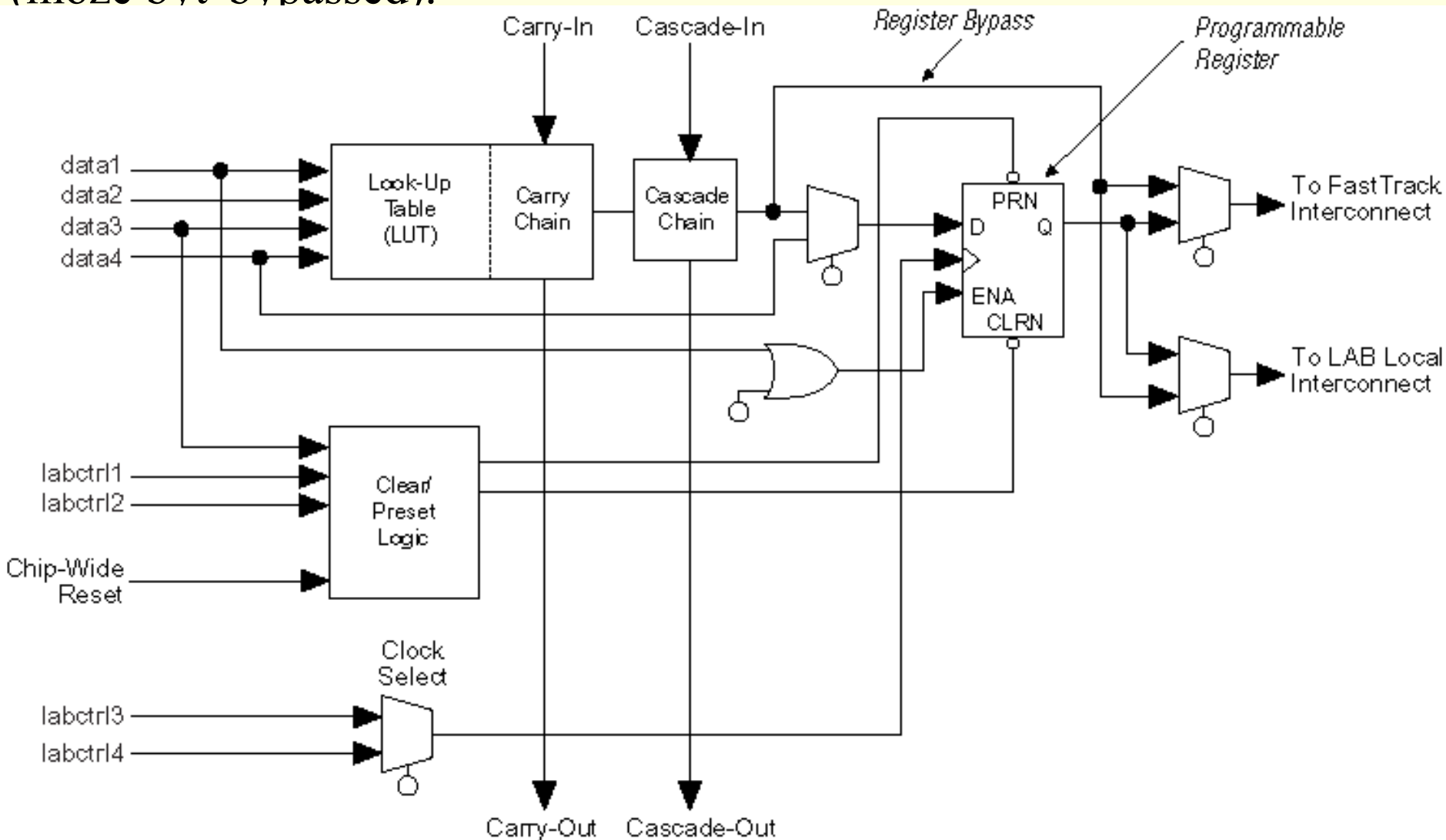
-8 LE,

- niekoľkých vstupov



5.2 Altera FLEX 10K

Základným blokom LE je **LUT** (4 vstupová), ďalším prvkom je KO (môže byť bypassed).



5.2 Altera FLEX 10K

Štruktúra EAB je na Obr. Skladá sa z 2048 SRAM buniek (konfigurácia použitím LPM knižnice- *lpm_ram_dq*, *lpm_rom*),

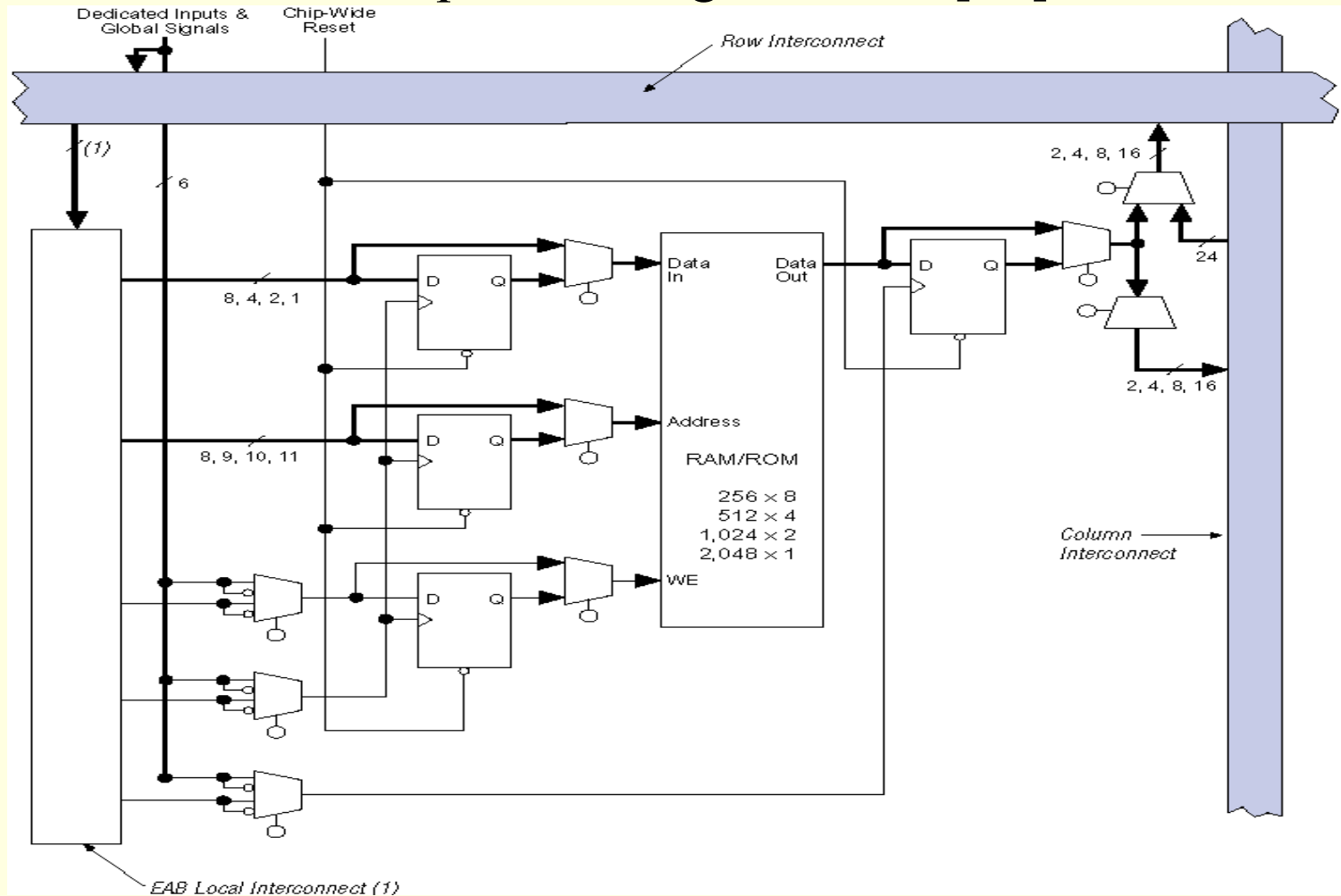
-môžu byť použité na realizáciu pamätí s organizáciou [bit]:

- 256x8,

- 512x4,

- 1024x2,

- 2048x1.



5.2 Altera FLEX 10K

V rodine FLEX 10K sú k dispozícií obvody 10K10 až 10K250, ktoré majú 10k až 250k ekvivalentných logických hradiel.

Sú k dispozícií obvody s rôznymi oneskoreniami (10K10-1/2)

Feature	EPF10K10 EPF10K10A	EPF10K20
Typical gates (logic and RAM) (1)	10,000	20,000
Maximum system gates	31,000	63,000
Logic elements (LEs)	576	1,152
Logic array blocks (LABs)	72	144
Embedded array blocks (EABs)	3	6
Total RAM bits	6,144	12,288
Maximum user I/O pins	150	189

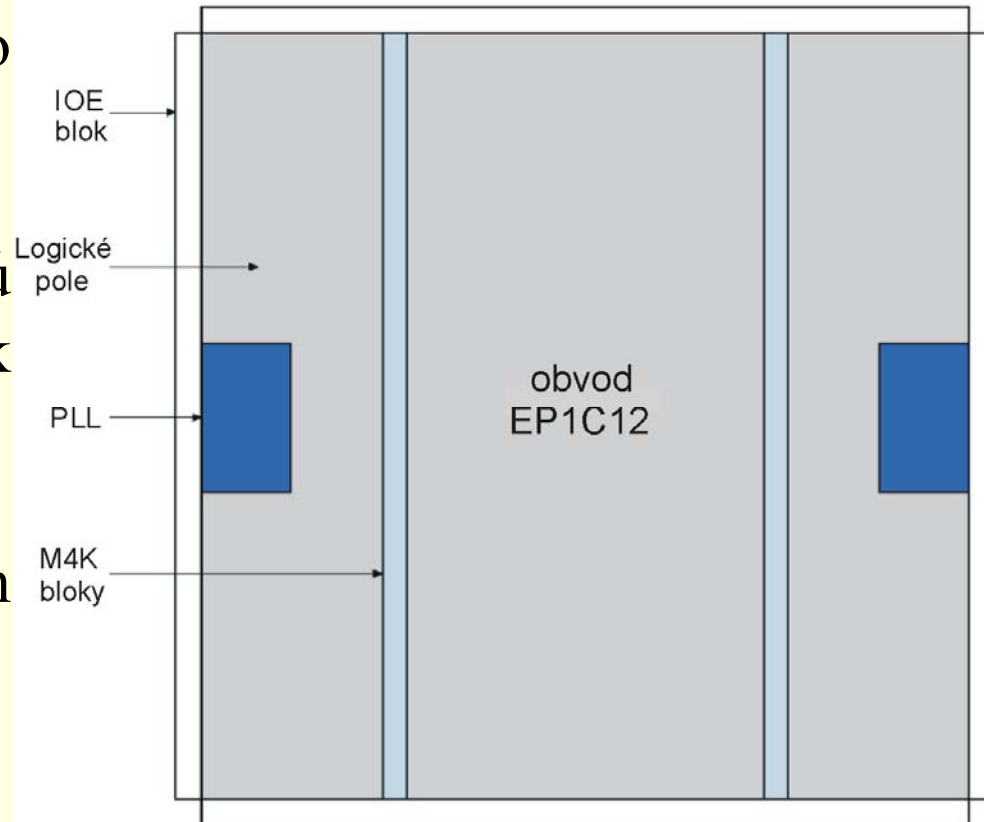
5.3 Altera Cyclone

Obvody Cyclone využívajú na realizáciu užívateľskej logiky dvojrozmernú architektúru (**riadky** a **stĺpce**- Obr.). Prepojenia riadkov a stĺpcov (s rôznou prenosovou rýchlosťou) zabezpečujú prepojenie signálu medzi **LAB** a **EAB**. **M4K bloky** sú DDR (Dedicate Double data Rate) pamäťové bloky RAM s kapacitou 4Kbit a s paritou (4 608 bit).

Tieto bloky sú usporiadané do stĺpcov uprostred určitých LABs.

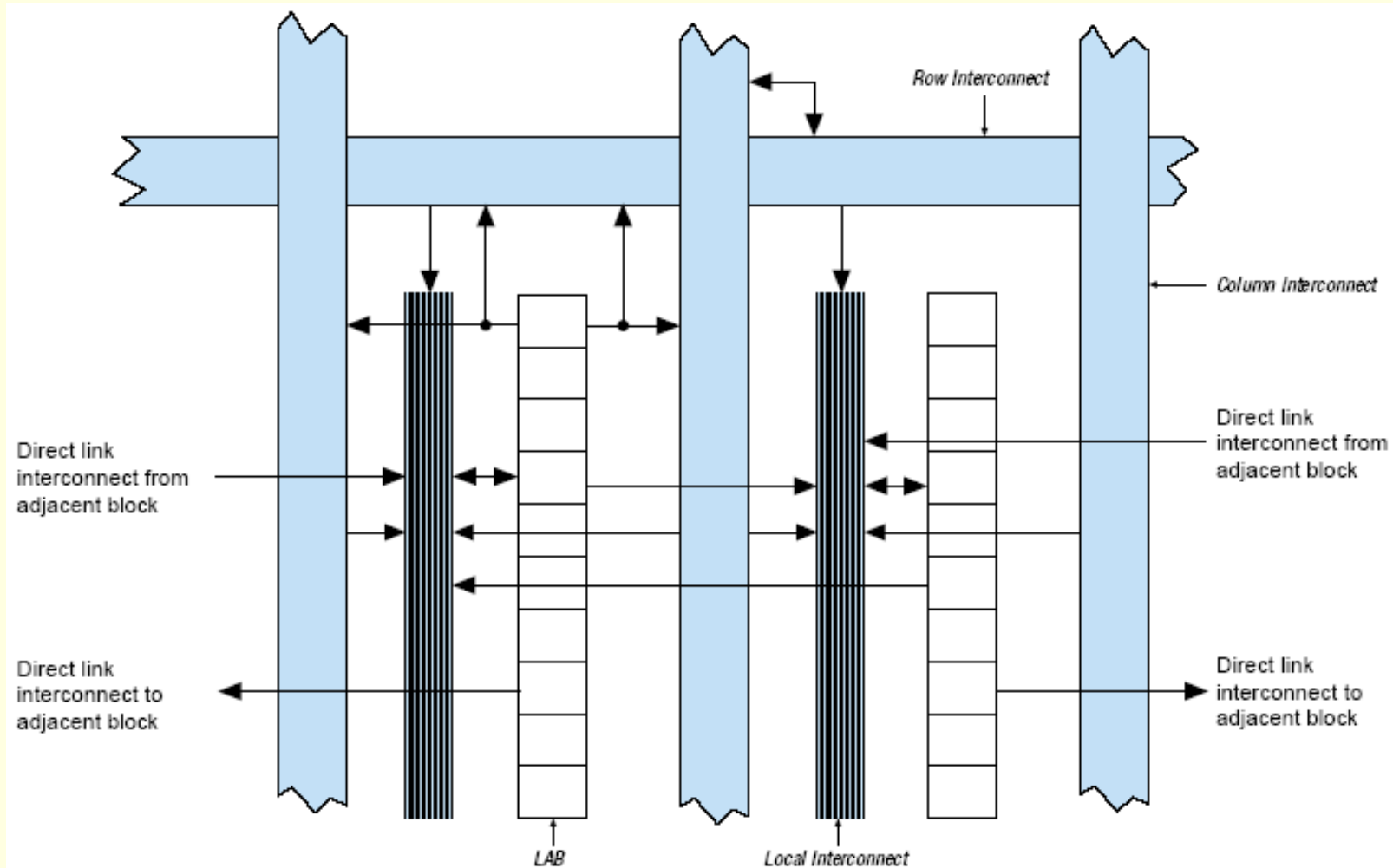
Obvody Cyclone poskytujú kapacitu vloženej RAM od 60k 288kbitov.

Poskytujú globálnu sieť hodín a maximálne dva **PLL**.



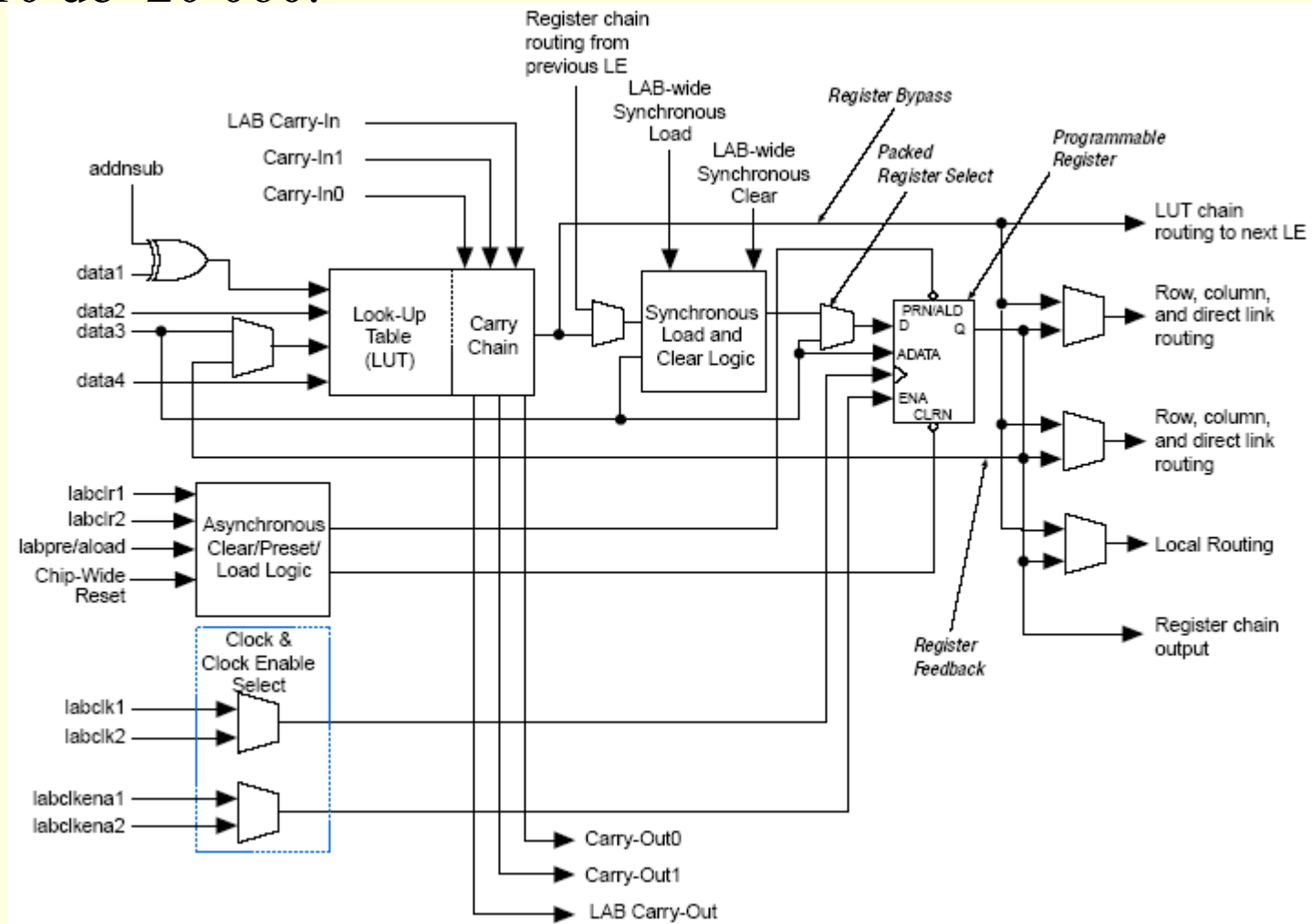
5.3 Altera Cyclone

Logické pole sa skladá z LABs, s 10 LEs v každom LAB. LE je malá logická jednotka poskytujúca výkonnú implementáciu užívateľských logických funkcií. LAB sú umiestnené v obvode do riadkov a stĺpcov.



5.3 Altera Cyclone

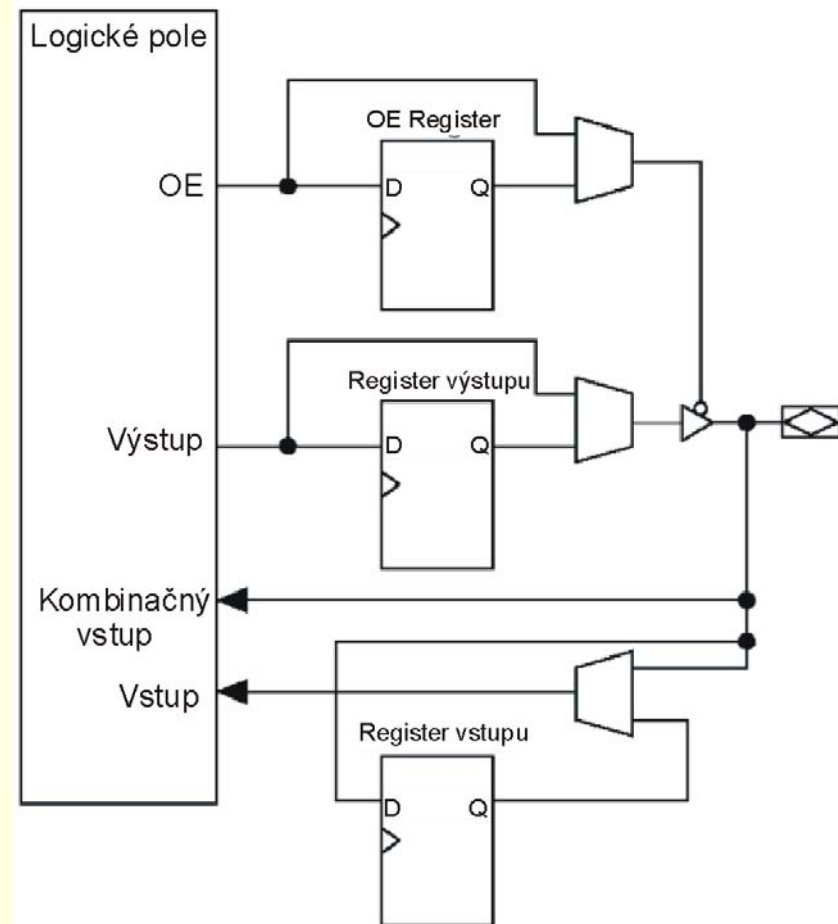
Každý LE sa skladá zo štvorvstupovej LUT, ktorá implementuje ľubovoľnú funkciu štyroch premenných. Počet LE v jednom obvode je v rozpätí od 2910 do 20 060.



5.3 Altera Cyclone

Každý I/O pin v obvode Cyclone je budený I/O elementom (IOE), ktorý je umiestnený na konci riadkov a stĺpcov LABs, okolo obvodu súčiastky. I/O piny podporujú rôzne jednoduché a diferenčné I/O štandardy. Každý IOE obsahuje obojsmerný I/O buffer a tri registre pre záznam:

- vstupných signálov,
- výstupných signálov,
- output- enable signálov.



5.3 Altera Cyclone

Table 2-1. Cyclone Device Resources

Device	M4K RAM		PLLs	LAB Columns	LAB Rows
	Columns	Blocks			
EP1C3	1	13	1	24	13
EP1C4	1	17	2	26	17
EP1C6	1	20	2	32	20
EP1C12	2	52	2	48	26
EP1C20	2	64	2	64	32